

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

J1046 U.S. PTO  
09/821095  
03/30/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application:

2000年 3月31日

出 願 番 号  
Application Number:

特願2000-097251

出 願 人  
Applicant(s):

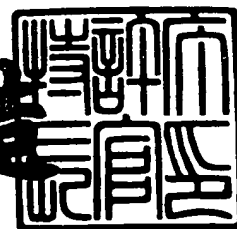
理想科学工業株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年 1月26日

特許庁長官  
Commissioner,  
Patent Office

及 川 耕 造



出証番号 出証特2001-3000552

【書類名】 特許願

【整理番号】 P24554J

【あて先】 特許庁長官 近藤 隆彦 殿

【国際特許分類】 H04N 1/00

【発明者】

【住所又は居所】 東京都港区新橋2丁目20番15号 理想科学工業株式会社内

【氏名】 橋本 浩一

【発明者】

【住所又は居所】 東京都港区新橋2丁目20番15号 理想科学工業株式会社内

【氏名】 鴨志田 和弘

【特許出願人】

【識別番号】 000250502

【氏名又は名称】 理想科学工業株式会社

【代理人】

【識別番号】 100073184

【弁理士】

【氏名又は名称】 柳田 征史

【選任した代理人】

【識別番号】 100090468

【弁理士】

【氏名又は名称】 佐久間 剛

【手数料の表示】

【予納台帳番号】 008969

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9602955

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像処理装置

【特許請求の範囲】

【請求項 1】 データが入力される入力ポート、データを格納するメモリ、入力されたデータに対してプログラムに応じた処理を施すシグナルプロセッサ部、およびデータを出力する出力ポートを有してなるシグナルプロセッサモジュールを 2 つ以上直列接続して構成された画像処理装置であって、

前記シグナルプロセッサモジュールのうちの少なくとも 1 つのモジュールが、前記入力ポートから入力された未処理データと、該未処理データに対して前記処理を施して得た処理済データとを前記出力ポートから出力するものであることを特徴とする画像処理装置。

【請求項 2】 前記少なくとも 1 つのモジュールが、所定周期ごとに、前記入力ポートから入力された未処理データおよび所定周期前に前記メモリに格納した未処理データを読み出して前記処理を施して得た処理済データを前記メモリへ格納するとともに、所定周期前に前記メモリに格納した未処理データおよび処理済データを読み出して該両データを前記出力ポートから出力するものであり、

前記少なくとも 1 つのモジュールを除くモジュールが、所定周期ごとに、前記入力ポートから入力された未処理データおよび所定周期前に前記メモリに格納した未処理データを読み出して前記処理を施して得た処理済データを前記メモリへ格納するとともに、所定周期前に前記メモリに格納した処理済データを読み出して前記出力ポートから出力するもの、または所定周期ごとに、前記入力ポートから入力された未処理データを前記メモリへ格納するとともに、所定周期前に前記メモリに格納した未処理済データを読み出して前記出力ポートから出力するものであることを特徴とする請求項 1 記載の画像処理装置。

【請求項 3】 前記各シグナルプロセッサモジュール間のデータ転送を同じ位相および周波数の転送クロックに同期して行なわせる同期回路を備えていることを特徴とする請求項 2 記載の画像処理装置。

【請求項 4】 前記各シグナルプロセッサモジュール間のデータ転送幅がそれぞれ等しく設定されており、且つ前記同期回路が前記転送クロックの周波数を

最大データ転送量を有するモジュール間のデータ転送速度に基づいて決定するものであることを特徴とする請求項 3 記載の画像処理装置。

【請求項 5】 前記シグナルプロセッサモジュールのうちの少なくとも 1 つを取り外し可能および／または装着可能とする着脱手段と、前記入力ポートに入力されるべきデータを、前記着脱手段に前記シグナルプロセッサモジュールが装着されているときには該シグナルプロセッサモジュールの入力ポートに入力させ、前記着脱手段に前記シグナルプロセッサモジュールが装着されていないときには後段の前記シグナルプロセッサモジュールに出力させる切替器を備えたことを特徴とする請求項 1 から 4 いずれか 1 項記載の画像処理装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プログラムデータにしたがって画像処理を施すシグナルプロセッサ部と、入力ポート、メモリおよび出力ポートなどの周辺部とからなる DSP モジュールを 2 段以上接続して構成された画像処理装置および該装置における画像処理方法に関するものである。

【0002】

【従来の技術】

処理内容の変更や追加が必要となったとき、回路基板を改版することなく、ソフトウェアの変更によってフレキシブルに対応することが可能な画像処理装置として、信号処理専用の DSP（ディジタル・シグナル・プロセッサ）モジュールを用いたものが知られている。ここで DSP モジュールとは、プログラムデータにしたがって画像処理を施すシグナルプロセッサ部と、入力ポート、メモリおよび出力ポートなどの周辺部とからなるシグナルプロセッサモジュールである。

【0003】

ここで、DSP モジュールを使用した画像処理装置においては、一般的には 1 つの DSP モジュールを使用して全処理を行なうようにするが、処理速度の高速性が要求される場合には、全処理をいくつかの部分に分割し、分割した各処理毎に、各処理をなす手段として 1 つの DSP モジュールを割り当て、これら複数の

DSPモジュールを接続し、各DSPモジュールでパイプライン処理（同時並列化処理）を行なうマルチDSP構成が採用されることがある。

## 【0004】

例えば、図14（A）に示すように、全処理を分割した各処理をなす手段として手段A～手段Fを設けるものとしたとき、これに対応して、図14（B）に示すように、手段Aを番号0のDSPモジュールであるDSP0に割り当て、同じく手段BをDSP2、手段CをDSP4、手段DをDSP6、手段EをDSP7、手段FをDSP8にそれぞれ割り当てる。各DSPモジュールでは、入力ポートから入力されたデータに対してプログラムデータにしたがって処理を施し、処理済データを出力ポートに出力する。

## 【0005】

また、図示の例では、処理内容の追加や変更に対応するために、分割した各部分の機能をなす手段に割り当てられたDSPモジュール以外に、図14（A）中破線で示す処理部ごとに予備のDSPモジュール（DSP1、DSP3、DSP6、DSP9）を設け、この予備のDSPモジュールを、入力ポートから入力されたデータに対し何の処理も施さないまま出力ポートに転送するデータバイパス部として機能させている。

## 【0006】

そして、例えば、手段Aの処理内容を変更する場合は、該手段Aを割り当てられていたDSP0のプログラムデータを変更する。また、手段Aの後工程に手段Gを追加する場合は、DSP1に対し手段G用のプログラムデータの追加を行なって手段GをDSP1に割り当てる。一方、手段Aの前工程に手段Gを追加する場合は、DSP0のプログラムデータを手段A用から手段G用に変更して手段GをDSP0に割り当ると共に、DSP1に手段A用のプログラムデータの追加を行なって手段AをDSP1に割り当てる。

## 【0007】

このように、マルチDSP構成を採用した場合においても、回路基板を改版することなく、プログラムデータの変更や追加、つまりソフトウェア上で、処理内容の変更や追加にフレキシブルに対応することができる。

## 【 0 0 0 8 】

## 【発明が解決しようとする課題】

ところが、マルチDSP構成を採用した画像処理装置においては、DSPモジュールが、各手段に対応する処理部として機能するかデータバイパス部として機能するかのいずれかであるため、図14から判るように、各手段が直列接続された部分にはDSPモジュールも直列に接続した直列回路を採用し、各手段が並列接続された部分にはDSPモジュールも並列に接続した並列回路を採用する、すなわち、各手段の接続構成（直列或いは並列）と同じように、DSPモジュールも予め直列或いは並列に接続する必要がある。

## 【 0 0 0 9 】

したがって、ある手段と並列に新しい手段を追加する場合には、従来のマルチDSP構成では、ある手段として割り当てていたDSPモジュールのプログラムデータを、並列化された2つの手段をなすものに変更する必要がある。しかしながら、このようなプログラムデータの修正は容易ではない。また、処理速度が低下するという問題も生じる。さらに、処理内容の並列追加に対応するために、予想される並列処理部の数に応じて予め予備のDSPモジュールを並列接続しておくということも考えられるが、これでは、回路規模が拡大するという問題点がある。つまり、従来のマルチDSP構成では、並列処理の追加を、既存の構成における処理速度を維持したまま、回路規模を拡大させることなく、ソフトウェア上で行なうということは困難である。

## 【 0 0 1 0 】

また、処理が不要となる手段が生じたときには、該手段に割り当てられていたDSPモジュールをデータバイパス部として機能させる必要があり、実質上不要なDSPモジュールを回路基板に搭載したままとせざるを得ず、機能縮小の際には無駄が生じることがあった。

## 【 0 0 1 1 】

本発明は、上記事情に鑑みてなされたものであり、マルチDSP構成を採用する場合において、処理速度や回路規模の問題を生じることがなく、ソフトウェア上で並列処理を追加することができる画像処理装置を提供することを目的とする

ものである。

【0012】

また、本発明は、マルチDSP構成を採用する場合において、機能縮小の際に無駄を生じさせることがなく、また機能拡大を容易に行なうことができる画像処理装置を提供することを目的とするものである。

【0013】

【課題を解決するための手段】

本発明による画像処理装置は、データが入力される入力ポート、データを格納するメモリ、入力されたデータに対してプログラムに応じた処理を施すシグナルプロセッサ部、およびデータを出力する出力ポートを有してなるシグナルプロセッサモジュールを2つ以上直列接続して構成された画像処理装置であって、シグナルプロセッサモジュールのうちの少なくとも1つのモジュールが、入力ポートから入力された未処理データと、該未処理データに対して前記処理を施して得た処理済データとを出力ポートから出力するものであることを特徴とするものである。

【0014】

本発明による画像処理装置においては、前記少なくとも1つのモジュールを、所定周期ごとに、入力ポートから入力された未処理データおよび所定周期前にメモリに格納した未処理データを読み出して前記処理を施して得た処理済データをメモリへ格納するとともに、所定周期前にメモリに格納した未処理データおよび処理済データを読み出して該両データを出力ポートから出力するものとするのが望ましい。この場合、前記少なくとも1つのモジュールを除くモジュールを、所定周期ごとに、入力ポートから入力された未処理データおよび所定周期前にメモリに格納した未処理データを読み出して前記処理を施して得た処理済データをメモリへ格納するとともに、所定周期前にメモリに格納した処理済データを読み出して出力ポートから出力するもの、または所定周期ごとに、入力ポートから入力された未処理データをメモリへ格納するとともに、所定周期前にメモリに格納した未処理済データを読み出して出力ポートから出力するものとするのが望ましい。



## 【 0 0 1 5 】

また、この場合、各シグナルプロセッサモジュール間のデータ転送を同じ位相および周波数の転送クロックに同期して行なわせる同期回路を備えたものとするのが望ましい。

## 【 0 0 1 6 】

さらに同期回路を備えた構成とする場合には、各シグナルプロセッサモジュール間のデータ転送幅がそれぞれ等しく設定されたものとし、且つ同期回路を、転送クロックの周波数を最大データ転送量を有するモジュール間のデータ転送速度に基づいて決定するものとするのが望ましい。

## 【 0 0 1 7 】

また、本発明による画像処理装置においては、シグナルプロセッサモジュールのうちの少なくとも1つを取り外し可能および／または装着可能とする着脱手段と、入力ポートに入力されるべきデータを、着脱手段にシグナルプロセッサモジュールが装着されているときには該シグナルプロセッサモジュールの入力ポートに入力させ、着脱手段にシグナルプロセッサモジュールが装着されていないときには後段のシグナルプロセッサモジュールに出力させる切替器を備えたものとするのが望ましい。

## 【 0 0 1 8 】

## 【発明の効果】

本発明による画像処理装置によれば、シグナルプロセッサモジュールのうちの少なくとも1つのモジュールを、入力ポートから入力された未処理データと、該未処理データに対して前記処理を施して得た処理済データとを出力ポートから出力するものとしたので、後段のモジュールは未処理データを使用することができ、少なくとも2つのモジュールで同一のデータを使用するような並列処理を、回路規模の問題を生じることがなく、モジュールを直列に接続した回路構成のまま実現できる。このようなモジュールの実現はソフトウェア上ででき、またこのようにする処理変更は簡易なものであるので、処理速度の問題を生じることがない。

## 【 0 0 1 9 】

これにより、画像処理部を構成する処理部のうち汎用性の高い一部または全てに、シグナルプロセッサモジュールを直列に接続した回路構成を採用することにより、回路を改版することなく画像処理部の構成の変更を伴う処理内容の変更および追加についてもフレキシブルに対応できる。また、処理規模が同等以下であれば、同一の回路基板を処理内容の異なる複数の画像処理装置で利用できる。よって、この汎用性の高い回路を用いることにより、画像処理装置を低コストで製造できる。

#### 【 0 0 2 0 】

また、上述のように、所定周期ごとに、未処理データや処理済データのメモリへの格納と、未処理データや処理済データのメモリからの読出しおよび出力ポートからの出力を行なうようにすれば、全モジュール間で所定のデータを所定の周期内に転送できるため、外部に対するデータ入出力のタイミングに対して、パイプライン処理を遅滞することなく行なうことができる。

#### 【 0 0 2 1 】

また、各モジュール間のデータ転送を同じ位相および周波数の転送クロックに同期して行なわせる同期回路を備えたものとするれば、各モジュール間で転送データの容量とデータ転送ポート幅とに応じて個別にデータ転送クロックの周波数を決定する場合に比してノイズがのりにくい。

#### 【 0 0 2 2 】

また、各モジュール間のデータ転送幅をそれぞれ等しく設定し、且つ同期回路を、転送クロックの周波数を最大データ転送量を有するモジュール間のデータ転送速度に基づいて決定するものとするれば、画像処理内容の変更および追加によって転送すべきデータ容量が変化した場合にも、データ転送クロックの周波数を、各モジュール間で転送すべきデータ容量だけを考慮して決定すればよく、画像処理内容の変更および追加に、よりフレキシブルに対応できる。

#### 【 0 0 2 3 】

また、シグナルプロセッサモジュールのうちの少なくとも1つを取り外し可能および／または装着可能とする着脱手段と、入力ポートに入力されるべきデータを、モジュール装着時には入力ポートに入力させ、モジュール非装着時には後段

のモジュールに直接出力させる切替器を備えたものとすれば、必要に応じてモジュールを着脱できるので、機能に応じた必要最少個数のモジュールを備えるだけでよくなる、換言すれば機能縮小の際にはモジュールを取り外して無駄を削減でき、機能拡大の際にはモジュール追加を容易に行なうことができ、装置の持つ機能に対して過剰なモジュールを備えた高価な装置となってしまうおそれがない。

## 【 0 0 2 4 】

## 【発明の実施の形態】

以下、図面を参照して、本発明による画像処理装置の実施の形態について説明する。

## 【 0 0 2 5 】

図 1 は、本発明の一実施の形態による画像処理装置の構成を示すブロック図である。

## 【 0 0 2 6 】

図 1 に示すように、この画像処理装置 4 0 0 は、それぞれ DSP 0, DSP 1, ..., DSP 6 と示された計 7 つの DSP モジュール 4 1 0 をカスケード接続した回路構成を採用したものである。以下 DSP モジュール 4 1 0 のうち、DSP 0, DSP 1, ... のいずれかをいうときには、単に DSP 0, DSP 1 などともいう。各 DSP モジュール 4 1 0 (DSP 0 ~ DSP 6) は、それぞれ対応する処理 a, 処理 b, ..., 処理 g をプログラムデータにしたがって行ない、処理済データ a, b, ..., g を出力することができるものである。

## 【 0 0 2 7 】

この画像処理装置 4 0 0 には、初段の DSP 0 のさらに前段にデータ変換器 4 2 0 が設けられている。データ変換器 4 2 0 の 2 つのデータ入力ポート DI 1, DI 2、各 DSP モジュール 4 1 0 (DSP 0 ~ DSP 6) のデータ入力ポート DI およびデータ出力ポート DO の各ポート幅（データ転送ポート幅）は、全て同じ値 N に設定している。

## 【 0 0 2 8 】

また、この画像処理装置 4 0 0 には、同期回路としてのクロック発生器 4 3 0 が設けられ、クロック発生器 4 3 0 から各 DSP モジュール 4 1 0 (DSP 0 ~

DSP 6) およびデータ変換器 4 2 0 に所定のクロック CLK 0 ~ CLK 2 が入力されるようになっている。具体的には、以下の通りである。

#### 【 0 0 2 9 】

全 DSP モジュール 4 1 0 間のデータ転送がクロックに同期してなされるように、DSP 1 ~ DSP 5 の入力クロック ICK および出力クロック OCK、並びに DSP 0 の出力クロック OCK および DSP 6 の出力クロック OCK として CLK 0 を使用し、全 DSP モジュール 4 1 0 間のデータ転送クロックの周波数および位相を共通としている。これにより、各 DSP モジュール 4 1 0 間で転送データの容量とデータ転送ポート幅とに応じて個別にデータ転送クロックの周波数を決定する場合に比してノイズがのり難くなる。

#### 【 0 0 3 0 】

また、データ変換器 4 2 0 と初段の DSP 0 のデータ転送がクロックに同期してなされるように、データ変換器 4 2 0 の出力クロック ICK および DSP 0 の入力クロック ICK として CLK 1 を使用している。

#### 【 0 0 3 1 】

また、データ変換器 4 2 0 の入力クロック ICK として、2 つのデータ S 1, S 2 のデータ変換器 4 2 0 への DMA 転送クロック CLK 2 が使用される。

#### 【 0 0 3 2 】

さらに、上述のように、全 DSP モジュール 4 1 0 間のデータ転送ポート幅を等しく設定しており、各 DSP モジュール 4 1 0 間のデータ転送クロック CLK 0 の周波数を、最大データ転送量を有する DSP モジュール間のデータ転送速度により決定するようにしている。

#### 【 0 0 3 3 】

また、最大データ転送量を有する DSP モジュール間で全データが所定の周期内に直列データとして転送されるように全 DSP モジュール 4 1 0 間におけるデータ転送速度 CLK 0 を設定し、これを満たすように、データ変換器 4 2 0 と初段の DSP 0 間におけるデータ転送速度 CLK 1 とデータ変換器 4 2 0 と前段の装置間および最後段の DSP 6 と後続する装置間におけるデータ転送速度 CLK 2 との関係を設定する。

## 【0034】

なお、「直列データ」とは、それぞれが多数の画素データからなる複数のデータを、各ビット毎に、順々に並べたデータを意味する。順々に並べるに際しては、画素順でもよいしデータ順でもよい。例えばデータ  $A(i)$ 、 $B(i)$ 、 $C(i)$  ( $i$  は画素番号) について、各ビット毎に、 $A(0)$ 、 $B(0)$ 、 $C(0)$ 、 $A(1)$ 、 $B(2)$ 、 $C(2)$ 、 $\dots$ 、 $A(n)$ 、 $B(n)$ 、 $C(n)$  としてもよいし、 $A(0)$ 、 $A(1)$ 、 $\dots$ 、 $A(n)$ 、 $B(0)$ 、 $B(1)$ 、 $\dots$ 、 $B(n)$ 、 $C(0)$ 、 $C(1)$ 、 $\dots$ 、 $C(n)$  としてもよい。

## 【0035】

具体的には、ある DSP モジュール間で最大  $M$  周期分のデータを転送するものとしたとき、クロック  $CLK1$  の周波数値は  $CLK2$  の 2 倍、クロック  $CLK0$  の周波数値は  $CLK2$  の  $M$  倍に設定する。なお、DSP モジュール 410 間で転送すべきデータが  $M-1$  周期分以下である場合は、データ転送としての余分の時間を待ち時間に設定する。これにより、全 DSP モジュール 410 間で所定のデータが、所定の周期内に転送され、遅延なくパイプライン処理を行なうことができるようになる。

## 【0036】

各 DSP モジュール 410 (DSP0～DSP6)、データ変換器 420 およびクロック発生器 430 は、不図示の CPU と CPU バスにより接続されており、クロック周波数の設定や、各 DSP モジュール 410 (DSP0～DSP6) にプログラムデータを設定 (ロード) することができるようになっている。

## 【0037】

さらに、図 1 に示すように、各 DSP モジュール 410 と並列に、前段からのデータを DSP モジュール 410 に入力するか迂回させて後段の DSP モジュール 410 に転送するかを切替可能な切替器として、ショート端子  $J0 \sim J6$  が設けられている。各ショート端子  $J0 \sim J6$  はデータ転送ポート幅の分だけ設けられるのは勿論である。各 DSP モジュール 410 は、該 DSP モジュール 410 を回路基板に容易に着脱できるように構成するべく、基板上に搭載されたソケットやコネクタに装着する形態をとる。

## 【 0 0 3 8 】

図 2 は、DSP モジュール 4 1 0 の詳細を示したブロック図である。図示するように、DSP モジュール 4 1 0 は、画像データに対してプログラムデータにしたがって画像処理を施すシグナルプロセッサ部（以下プロセッサという）4 1 1、メモリ 4 1 2、アービタ 4 1 3、入力ポートとしての入力 F I F O（ファーストイン・ファーストアウト）4 1 4、出力ポートとしての出力 F I F O 4 1 5、入力 DMA（ダイレクト・メモリ・アクセス）コントローラ 4 1 6、出力 DMA コントローラ 4 1 7 から構成されている。

## 【 0 0 3 9 】

メモリ 4 1 2 は、プログラムデータおよびその他の所定のデータを格納するものである。所定のデータとは、具体的には、処理に使用し且つバイパスするデータ、処理には使用するがバイパスしないデータ、処理には使用しないがバイパスするデータ、および処理後のデータである。

## 【 0 0 4 0 】

入力 F I F O 4 1 4 は、入力データ D I を一時的に格納し、入力クロック I C K と入力 DMA コントローラ 4 1 6 のクロックとが非同期であることによるタイミングのずれを吸収するものである。

## 【 0 0 4 1 】

出力 F I F O 4 1 5 は、出力データ D O を一時的に格納し、出力 DMA コントローラ 4 1 7 のクロックと出力クロック O C K とが非同期であることによるタイミングのずれを吸収するものである。

## 【 0 0 4 2 】

入力 DMA コントローラ 4 1 6 は、内部にカウンタを有し、プロセッサ 4 1 1 から設定（ロード）されるアドレス A D を先頭アドレスとして、直列データとして入力される複数のデータに対して順次アドレスを設定し、メモリ 4 1 2 の所定のアドレスにデータを書き込むものである。

## 【 0 0 4 3 】

出力 DMA コントローラ 4 1 7 は、プロセッサ 4 1 1 から設定（ロード）されるアドレス A D に応じて、メモリ 4 1 2 からデータを読み出すものである。

## 【 0 0 4 4 】

この入力DMAコントローラ416および出力DMAコントローラ417は、前後段のDSPモジュール410とメモリ412との間でのデータの入出力を、プロセッサ411を介さずに（データをプロセッサ411に取り込むことなく）行なうことができるようにするために設けられたものである。

## 【 0 0 4 5 】

また、このDSPモジュール410においては、アービタ413を設けて、メモリ412に対するデータの入出力の際に、メモリ412へのアクセスの競合が起こらないようにメモリ412に対するデータ入出力の要求を管理するようにしている。

## 【 0 0 4 6 】

なお、メモリ412に対するデータの入出力の要求管理を、直接プロセッサ411から行なったり、入力DMAコントローラ416および出力DMAコントローラ417によって行なうようにすることで、アービタ413を設けない構成とすることもできる。

## 【 0 0 4 7 】

また、本実施の形態においては、メモリ412、アービタ413、入力FIFO414、出力FIFO415、入力DMAコントローラ416、出力DMAコントローラ417をDSPモジュール410に内蔵しているが、これらの一部をDSPモジュール外に備えてもよいし、或いはこれら全体をプロセッサ411と別体、すなわちDSPモジュール410がプロセッサ411のみを有するものとしてもよい。

## 【 0 0 4 8 】

次に図1に示した構成の画像処理装置400の作用について説明する。

## 【 0 0 4 9 】

この画像処理装置400においては、1周期ごとに直列データが各段のDSPモジュール410に入力される。

## 【 0 0 5 0 】

ここで、「1周期」は、画像処理装置400の前段に接続される装置のデータ

転送速度およびデータバッファの容量により決定される。例えば、画像処理装置の前段にラインイメージセンサが接続されている場合には、1ラインごとに画像データがデータバッファに格納され、水平同期信号の周期でデータが転送される。この場合、1周期は、ラインイメージセンサの水平同期信号の周期となり、そのときに転送されるデータの容量は、イメージセンサ1ライン分の画像データの大きさとなる。

## 【 0 0 5 1 】

カスケード接続されたDSPモジュール410としては、そのうちの少なくとも1つが、入力されたデータに対し所定の処理を施して得られた処理済データと、何の処理も施さないそのままの未処理データとを出力する第1の態様のものとされる。残りのDSPモジュール410は、処理部としてのみ機能する第2の態様のもの、入力されたデータに対して何の処理も施さずにそのまま未処理データとして出力するデータバイパス部として機能する第3の態様のものとされる。各態様のものにおいては、1周期内に、それぞれ以下のような処理を行なう。

## 【 0 0 5 2 】

## (1) 第1の態様の場合

- a) 前段のDSPモジュール410から転送されてきたデータをメモリ412に格納する。
- b) 1周期前に転送されメモリ412に格納されていたデータに対してプログラムデータにしたがって処理を施し、処理済データをメモリ412に格納する。
- c) 2周期前に転送され1周期前に処理を施されてメモリ412に格納されていた処理済データおよび2周期前に転送されメモリ412に格納されていた何の処理も施されないままの未処理データを直列データのかたちで後段のDSPモジュール410へ転送する。

## 【 0 0 5 3 】

## (2) 第2の態様の場合

- a) 前段のDSPモジュール410から転送されてきたデータをメモリ412に格納する。
- b) 1周期前に転送されメモリ412に格納されていたデータに対してプログラ



ムデータにしたがって処理を施し、処理済データをメモリ 4 1 2 に格納する。

c) 2 周期前に転送され 1 周期前に処理を施されてメモリ 4 1 2 に格納されていた処理済データを後段の DSP モジュール 4 1 0 へ転送する。

【 0 0 5 4 】

(3) 第 3 の態様の場合

a) 前段の DSP モジュール 4 1 0 から転送されてきたデータをメモリ 4 1 2 に格納する。

b) 1 周期前に転送されメモリ 4 1 2 に格納されていた何の処理も施されないままの未処理データを後段の DSP モジュール 4 1 0 へ転送する。

【 0 0 5 5 】

以上のように、各 DSP モジュール 4 1 0 のメモリ 4 1 2 には、遅延なくパイプライン処理を行なうことができるように所定時間だけデータが格納される。

【 0 0 5 6 】

なお、画像処理装置 4 0 0 の前段に接続された装置から入力された 2 つのデータ S 1、S 2 がデータ変換器 4 2 0 により直列データとされた後、初段の DSP モジュール DSP 0 に転送され、最後段の DSP モジュール DSP 6 から画像処理装置 4 0 0 の後段に接続された装置へ処理済データが転送される。

【 0 0 5 7 】

各 DSP モジュール 4 1 0 における処理の際に、1 つのデータしか必要がなければ、データ変換器 4 2 0 を設ける必要はない。

【 0 0 5 8 】

また、転送されてきた直列データを個々のデータに分割する方法として、各 DSP モジュール 4 1 0 でソフトウェアにより個々のデータの入力順情報および構造 (大きさ) 情報を判別できるようにしてもよい。また、初期データに対しては予め構造情報をヘッダとして付加しておくとともに、処理により生成されるデータに対してはソフトウェア上で逐次該ヘッダを付加するようにしてもよい。さらに、このヘッダに、処理に使用する DSP モジュール 4 1 0 の判別情報を加えてもよい。

【 0 0 5 9 】

これにより、図1に示した画像処理装置400においては、カスケード（直列）接続された少なくとも2つのDSPモジュール410で同一のデータを使用するような並列処理を、DSPモジュール410をカスケードに接続した回路構成を維持したまま実現できる。

#### 【0060】

すなわち、例えば、図3に示すように、処理1と処理2とを並列に行なうようにする場合であれば、DSP0を第1の態様のものとすると共にDSP1を第2の態様のものとすればよい。この場合、入力されたデータs（未処理データ）と処理1に相当する処理aが施された処理済データaがDSP0から出力され、未処理データsと処理済データaがDSP1に入力されるので、DSP1に入力されたデータのうちの未処理データsに対して処理2に相当する処理bを施して、処理済データbと共に処理済データaをDSP1から出力するようにすれば、装置400に入力されたデータsに対して処理a（処理1）と処理b（処理2）とを、それぞれ独立且つ並列に施した処理済データa、bをDSP1の出力ポートから得ることができる。また、両DSP0、DSP1においては、取り込んだデータや処理済データを一旦メモリ412に格納した後所定のタイミングで後段に出力する、いわゆるパイプライン処理を行なうことができるので、処理速度の低下を招くことなく並列処理に対応することができる。

#### 【0061】

また、より多くの処理を並列化させる場合には、並列処理の数をQとしたとき、第1の態様のDSPモジュール410を「Q-1」だけ直列接続すればよい。

#### 【0062】

さらに、図4に示すように、処理1に、処理2と処理3とを直列化したものを並列に追加する場合であれば、DSP0を第1の態様のものとすると共にDSP1およびDSP2を第2の態様のものとすればよい。この場合、入力されたデータs（未処理データ）と処理1に相当する処理aが施された処理済データaがDSP0から出力され、未処理データsと処理済データaがDSP1に入力されるので、DSP1に入力されたデータのうちの未処理データsに対して処理2に相当する処理bを施して、処理済データbと共に処理済データaをDSP1からD

SP2に出力し、DSP2に入力されたデータのうちの処理済データbに対して処理3に相当する処理cを施して、処理済データcと共に処理済データaをDSP2から出力するようにすれば、装置400に入力されたデータsに対して、処理a（処理1）と、処理b（処理2）および処理c（処理2）の直列処理とを、それぞれ独立且つ並列に施した処理済データa, cをDSP2の出力ポートから得ることができる。

#### 【0063】

このように、上記構成の画像処理装置400によれば、DSPモジュール410を新たに追加することなく（回路規模の問題を生じることなく）、また、処理速度の低下を招くこともなく、ソフトウェア上で並列処理を追加することができる。また、並列に追加する部分が直列回路構成のものであってもよいので、結果として、並列であるのか直列であるのかを問わず、回路変更を自由に行なうことができる。

#### 【0064】

また、ソフトウェア上で並列処理を追加することができるので、回路基板を改版する必要がなく、直列処理から並列処理へ、逆に並列処理から直列処理へなど、画像処理部の接続構成の変更を伴う処理内容の変更や追加についてもフレキシブルに対応することができる。

#### 【0065】

また、処理規模が同等以下であれば、同一の回路基板を処理内容の異なる複数の画像処理装置で使用することもできる汎用性の高いものとすることもでき、結果的に、画像処理装置を低コストで製造することもできる。

#### 【0066】

また、上記構成の画像処理装置400においては、各DSPモジュール410間のデータ転送クロックCLK0の周波数を共通にすると共に、全DSPモジュール410間のデータ転送ポート幅を等しく設定しているので、画像処理内容の変更や追加によって転送すべきデータ容量が変化した場合にも、データ転送クロックの周波数を、各DSPモジュール410間で転送すべきデータ容量だけを考慮して決定すればよく、処理内容の変更や追加が容易である。

## 【 0 0 6 7 】

図 5 を参照してこの点について説明する。図 5 (A) 中、データ容量を  $V$ 、データ転送ポート幅を  $B$  とし、各 DSP モジュール間のサフィックスをつけて示す。

## 【 0 0 6 8 】

1 周期内にデータ容量  $V$  の全データをデータ転送ポート幅  $B$  で転送しなければならないから、各 DSP モジュール 4 1 0 間のデータ転送クロック CLK 0 の周波数を共通にする場合、データ転送クロック CLK 0 の周波数を「データ容量  $V$  / データ転送ポート幅  $B$ 」が最大の DSP モジュール 4 1 0 間に応じて設定しなければならない。

## 【 0 0 6 9 】

したがって、データ転送ポート幅  $B$  を画像処理装置に最初に搭載される画像処理内容に対応したデータ容量に応じて個別に設定してしまうと、データ転送クロック CLK 0 の周波数は必ずしも最大データ容量  $V_{max}$  の DSP モジュール 4 1 0 間によって決定されない。例えば図 5 (B) に示す例では、最大データ容量  $V_{max}$  の DSP モジュール 4 1 0 間は DSP 3 → DSP 4 間であるが、データ転送クロック CLK 0 の周波数は、「データ容量  $V$  / データ転送ポート幅  $B$ 」が最大の DSP モジュール 4 1 0 間である DSP 2 → DSP 3 間によって決まる。

## 【 0 0 7 0 】

また、画像処理内容の変更および追加によって転送すべきデータ容量  $V$  が変化した場合には「データ容量  $V$  / データ転送ポート幅  $B$ 」も変化するため、データ転送クロック CLK 0 の周波数を、「変化後のデータ容量  $V$  / データ転送ポート幅  $B$ 」が最大の DSP モジュール 4 1 0 間に応じて決定し直す必要があり、図 5 (B) に示す例では、DSP 2 → DSP 3 間ではなく、「変化後のデータ容量  $V$  / データ転送ポート幅  $B$ 」が最大の DSP モジュール 4 1 0 間である DSP 1 → DSP 2 間によって決まる。

## 【 0 0 7 1 】

これに対して、全 DSP モジュール 4 1 0 間でのデータ転送ポート幅  $B$  を等しく設定すると、データ転送クロック CLK 0 の周波数を、常に最大データ容量  $V$

maxのDSPモジュール410間によって決定することができる。例えば、図5(C)に示す例では、データ容量Vが最大であって「データ容量V／データ転送ポート幅B」も最大であるDSP3→DSP4間によって決まる。

#### 【0072】

また、転送すべきデータ容量Vが変化した場合にも、最大データ容量Vmaxを考慮して「変化後の最大データ容量Vmax／データ転送ポート幅B」に応じて決定すればよい。例えば、図5(C)に示す例では、変化後のデータ容量Vが最大であって「変化後のデータ容量V／データ転送ポート幅B」も最大であるDSP2→DSP3間によって決まる。

#### 【0073】

また、上記構成の画像処理装置400においては、各DSPモジュール410と並列に、切替器としてのショート端子J0～J6を設けているので、回路基板としては全DSPモジュール410を搭載できるパターンにしておくことで、当初は必要な分だけのDSPモジュール410を搭載すると共に、DSPモジュール410が搭載されていない部分については、ショート端子J0～J6を用いて前段からのデータを後段のDSPモジュール410に転送し、装置購入当初のものに機能追加を行なう必要が生じたときに、その分のDSPモジュール410を搭載し且つショート端子J0～J6を切り替えて、データが追加したDSPモジュール410に入力され、処理後のデータなどが後段のDSPモジュール410に入力されるようにすることができ、装置の持つ機能に対して過剰なDSPモジュール410を当初より備えた高価な装置となることを防止できる。

#### 【0074】

また、ソケットなどを用いて各DSPモジュール410を着脱できるように構成すれば、機能追加への対応だけでなく、機能削減が生じたときには不要なDSPモジュール410を取り外すとともにショート端子で前段からのデータを後段のDSPモジュール410に転送すれば、装置の持つ機能に応じた必要な分だけのDSPモジュール410を搭載するだけでよい装置にすることもできる。

#### 【0075】

次に、上記構成の画像処理装置400を孔版印刷装置の画像処理部に適用した

実施例について説明する。

【0076】

図6は、本発明に係る画像処理装置400を孔版印刷装置の画像処理部に適用した場合における、孔版印刷装置の概略構成図である。

【0077】

孔版印刷装置100は、図6に示すように、画像入力手段としてのライン型のイメージスキャナ1、原稿上の写真位置をユーザが指示するためのタブレット型の編集ボード2、後述する解像度変換に用いる拡大または縮小率をユーザが指示するための操作パネル3、サーマルプリンタヘッド制御信号（以下単にヘッド制御信号という）を生成する本発明に係る画像処理部4、該ヘッド制御信号に応じて孔版原紙としてのマスタを製版する製版手段5、製版済みマスタを用いて印刷を行なう印刷手段6を備えている。

【0078】

図7（A）は、実施例1による画像処理部4の構成を示した機能ブロック図である。図7（B）は、実施例1による画像処理部4を画像処理装置400により構成した状態を示している。

【0079】

図7（A）に示すように、画像処理部4は、主走査方向解像度変換処理手段10と、単一閾値二値化処理手段11からなる文字原稿処理部40と、 $\gamma$ 補正処理手段12および誤差拡散二値化処理手段13からなる写真原稿処理部41と、二値画像選択処理手段14と、ヘッド制御信号生成処理手段15とから構成されている。

【0080】

主走査方向解像度変換処理手段10においては、イメージスキャナ1により入力された画像データxの主走査方向について、操作パネル3でユーザーが指示することにより得られる拡大または縮小率に対応する比率で解像度変換を行ない、主走査方向解像度変換処理後の画像データDaを生成する。

【0081】

なお、画像データxの副走査方向についての解像度変換は、イメージスキャナ

1 と原稿との相対送り速度に対する、ヘッドとマスタとの相対送り速度を、その比率が上記拡大または縮小率になるように設定することにより行われる。

## 【 0 0 8 2 】

単一閾値二値化処理手段 1 1 においては、主走査方向解像度変換処理後の画像データ D a の濃度を、単一の閾値により黒か白の二値に分類し、単一閾値二値化処理後の画像データ D b を生成する。

## 【 0 0 8 3 】

$\gamma$  補正処理手段 1 2 においては、主走査方向解像度変換処理後の画像データ D a に、後段の誤差拡散二値化処理手段 1 3 による穿孔画素の配置特性、製版手段 5 におけるマスタ穿孔特性、および印刷手段 6 における印刷特性に起因するドットの太りを補正するための  $\gamma$  補正を施し、 $\gamma$  補正処理後の画像データ D c を生成する。

## 【 0 0 8 4 】

誤差拡散二値化処理手段 1 3 においては、 $\gamma$  補正処理後の画像データ D c の二値化を、その濃度を局所的に保存するために、注目画素における二値化誤差をまだ二値化されていない画素に伝播して加算しながら行ない、誤差拡散二値化処理後の画像データ D d を生成する。

## 【 0 0 8 5 】

また、二値画像選択処理手段 1 4 においては、ユーザが編集ボード 2 で原稿上の写真位置を指示することにより得られる二値化方式指示データ z に基づいて、単一閾値二値化処理後の画像データ D b、誤差拡散二値化処理後の画像データ D d のいずれかを選択する。具体的には、二値化方式指示データ z が、文字用二値化方式を示している場合は単一閾値二値化処理後の画像データ D b を選択し、写真用二値化方式を示している場合は誤差拡散二値化処理後の画像データ D d を選択する。この選択されたデータを、二値画像選択処理後の画像データ D f とする。

## 【 0 0 8 6 】

ヘッド制御信号生成処理手段 1 5 においては、二値画像選択処理後の画像データ D f に対して忠実にマスタが製版されるように、ヘッドの発熱量を制御する。

ッド制御信号Dyを生成する。

【0087】

図7(A)に示す実施例1による画像処理部4を図1に示した画像処理装置400により構成するに際しては、画像処理部4の各手段を、それぞれ1つのDSPモジュール410に割り当てる。画像処理部4の各手段と各DSPモジュール410(DSP0~DSP6)との対応関係が判るように、図7(A)においては、各手段内にDSPモジュール410の番号を示し、図7(B)においては、DSP0~DSP6内に画像処理部4の各手段の参照番号を示している。また、図7(B)においては、各DSPモジュール410間の入出力データ(バイパスするデータおよび処理後のデータ)をデータバスライン上に、処理に使用するデータをDSPモジュール410の上部に示している。

【0088】

具体的には、主走査方向解像度変換処理手段10をDSP0、単一閾値二値化処理手段11をDSP1、 $\gamma$ 補正処理手段12をDSP2、誤差拡散二値化処理手段13をDSP3、二値画像選択処理手段14をDSP4、ヘッド制御信号生成処理手段15をDSP5にそれぞれ割り当てている。また、残るDSP6をデータバイパス部として機能させている。

【0089】

これにより、主走査方向解像度変換処理後の画像データDaがDSP0による処理済データa、単一閾値二値化処理後の画像データDbがDSP1による処理済データb、 $\gamma$ 補正処理後の画像データDcがDSP2による処理済データc、誤差拡散二値化処理後の画像データDdがDSP3による処理済データd、二値画像選択処理後の画像データDfがDSP4による処理済データe、ヘッド制御信号DyがDSP5による処理済データfおよびDSP6によるスルーデータgとなる。

【0090】

なお、上記の態様においては、1つの手段に対して1つのDSPモジュール410を割り当てるようにしているが、これに限らず、並列追加する部分については、2段以上の直列した手段を1つのDSPモジュール410に割り当ててもよ



い。例えば、単一閾値二値化処理手段 11 と並列接続された  $\gamma$  補正処理手段 12 および誤差拡散二値化処理手段 13 の直列部分を 1 つの DSP モジュール DSP 2 に割り当て、DSP 3 をデータバイパス部として機能させてもよい。

#### 【0091】

また、直列に接続された一連の DSP モジュール 410 の前段に、データ変換器 420 を備えており、イメージスキャナ 1 によって入力された画像データ  $x$  と、編集ボード 2 でユーザが原稿上の写真位置を指示することによって得られた二値化方式指示データ  $z$  とが、データ変換器 420 によって直列データに変換される。

#### 【0092】

なお、操作パネル 3 でユーザが指示した拡大または縮小率は不図示の CPU に入力され、CPU バスを通じて主走査方向解像度変換処理手段 10 としての DSP 0 に設定（ロード）される。

#### 【0093】

まず、処理プログラムデータの作成手順について説明する。

#### 【0094】

表 1 は、各 DSP モジュール 410 について、A：入力データ、B：処理に使用するデータ、C：処理に使用し且つバイパスするデータ、D：処理には使用しないがバイパスするデータ、E：処理後のデータを、それぞれ項目ごとに一覧にしたものである。

#### 【0095】

項目 A において、入力データに付与されている番号（1、2、3）はデータの入力順情報を示し、括弧内の値（ $N_x$ 、 $N_z$ 、 $N_a \sim N_f$ ）はデータの大きさ情報であって、図 7 に示す各手段から出力されるデータのビット幅に対応するものを示している。

【表1】

	A	B	C	D	E
DSP0	1 : $x_t(N_x)$ 2 : $z_t(N_z)$	$x_{t-1}$		$z_{t-2}$	$a_{t-2}$
DSP1	1 : $a_{t-2}(N_a)$ 2 : $z_{t-2}(N_z)$	$a_{t-3}$	$a_{t-4}$	$z_{t-4}$	$b_{t-4}$
DSP2	1 : $a_{t-4}(N_a)$ 2 : $z_{t-4}(N_z)$ 3 : $b_{t-4}(N_b)$	$a_{t-5}$		$z_{t-6}$ $b_{t-6}$	$c_{t-6}$
DSP3	1 : $z_{t-6}(N_e)$ 2 : $b_{t-6}(N_b)$ 3 : $c_{t-6}(N_c)$	$c_{t-7}$		$z_{t-8}$ $b_{t-8}$	$d_{t-8}$
DSP4	1 : $z_{t-8}(N_z)$ 2 : $b_{t-8}(N_b)$ 3 : $d_{t-8}(N_d)$	$z_{t-9}$ $b_{t-9}$ $d_{t-9}$			$e_{t-10}$
DSP5	1 : $e_{t-10}(N_e)$	$e_{t-11}$			$f_{t-12}$
DSP6	1 : $f_{t-12}(N_f)$			$f_{t-13}$	

## 【0096】

各DSPモジュール410の処理プログラムデータを作成するプログラマは、表1を参照してメモリ412に格納すべきデータのアドレスを設定し、各DSPモジュール410において、1周期内に以下のa)～c)の処理が行われるように（パイプライン処理が行われるように）プログラムデータを作成する。なお、本実施例1においては、イメージスキャナ1が1ライン分の画像データの入力に要する時間を1周期（以下ライン周期という）としている。

## 【0097】

a) 項目Aにおけるデータの入力順情報および大きさ情報に基づいて直列に入力されるデータを個々のデータに分割し、所定アドレスのメモリ412に格納する。

## 【0098】

b) メモリ412の所定アドレスに格納されている項目Bのデータについて、所定の処理を施し、処理後のデータをメモリ412の所定アドレスに格納する。

## 【0099】

c) メモリ412の所定アドレスに格納されている項目C、D、Eのデータを後

段のDSPモジュール410に転送する。

#### 【0100】

ここで、本実施例1においては、イメージスキャナ1からデータ変換器420へのデータ入力ポート幅と、最後段のDSPモジュール410であるDSP6から製版手段5へのデータ出力ポート幅とを等しく設定している。また、これらと、データ変換器420から初段のDSPモジュール410であるDSP0へのデータ転送ポート幅および全DSPモジュール410間でのデータ転送ポート幅とを等しく設定している。

#### 【0101】

さらに、クロック発生器430を備え、全DSPモジュール410間におけるデータ転送速度を、最大データ転送量を有するDSPモジュール410間で全データがライン周期内に直列データとして転送されるようにしている。具体的には、表1の項目Aにおいて、 $N_x = N_z = N_a \sim N_f$  と仮定した場合、本実施例1においては、各DSPモジュール410間で最大3ライン分のデータを転送する必要があることから、クロック発生器430によりクロックCLK0として6MHzを発生させている。この周波数値は、クロックCLK2である、イメージスキャナ1により入力されたtラインの画像データ $x_t$  および二値化方式指示データ $z_t$  のデータ変換器420へのDMA転送クロック周波数(2MHz)、および最後段のDSP6から製版手段5へのDMA転送クロック周波数(2MHz)の3倍に相当する。データ変換器420から初段のDSP0へ直列データを転送するDMA転送クロックCLK1の周波数値は、2つのデータを直列データにする都合からクロックCLK2の2倍の4MHzを使用する。

#### 【0102】

なお、各DSPモジュール410間で転送すべきデータが1ライン分または2ライン分である場合は、それぞれ、転送不要な2ライン分または1ライン分のデータ転送に要する時間を、待ち時間に設定している。これにより、全DSPモジュール410間で所定のデータが、1ライン周期内に転送され、遅延なくパイプライン処理を行なうことができる。

#### 【0103】

次に、上述したようにして作成された各DSPモジュール410の処理プログラムデータに基づく、ヘッド制御信号Dy生成の工程を説明する。

【0104】

(1) イメージスキャナ1により読み取られた第tラインの画像データ $x_t$ と、編集ボード2からの指示により生成された同ラインの二値化方式指示データ $z_t$ とが、データ変換器420に並列に入力される。

【0105】

(2) データ変換器420は、並列に入力された第tラインの画像データ $x_t$ と二値化方式指示データ $z_t$ とを直列データに変換してDSP0にDMA転送する。

【0106】

(3) DSP0において、現ライン周期内に以下の処理を行なう。ここで「現ライン周期内」とは、第tラインの画像データ $x_t$ および二値化方式指示データ $z_t$ が、データ変換器420に並列に入力される期間内を意味する。後述するDSP1～DSP6においても同様である。

【0107】

a) データ変換器420から転送されてきた第tラインの画像データ $x_t$ および二値化方式指示データ $z_t$ をメモリ412に格納する。

b) 1ライン周期前にデータ変換器420から転送されメモリ412に格納されていた第t-1ラインの画像データ $x_{t-1}$ に主走査方向解像度変換処理としての処理aを施し、処理後の画像データ $a_{t-1}$ をメモリ412に格納する。この主走査方向解像度変換処理に用いられる拡大または縮小率は、予めCPUによりDSP0のプロセッサ411の内部レジスタに設定(ロード)されている。

c) 1ライン周期前の処理結果である第t-2ラインの画像データ $a_{t-2}$ 、および、2ライン周期前にデータ変換器420から転送されDSP0では使われずにメモリ412に格納されていた第t-2ラインの二値化方式指示データ $z_{t-2}$ をDSP1へDMA転送する。

【0108】

なお、DSP0のメモリ412は、2ライン分の主走査方向解像度変換処理前の画像データ ( $x_t$ 、 $x_{t-1}$ )、2ライン分の主走査方向解像度変換処理後の画像データ ( $a_{t-1}$ 、 $a_{t-2}$ )、3ライン分の二値化方式指示データ ( $z_t$ 、 $z_{t-1}$ 、 $z_{t-2}$ ) を格納するのに十分な空間を有している。

## 【0109】

(4) DSP1において、現ライン周期内に以下の処理を行なう。

## 【0110】

a) DSP0から転送されてきた第 $t-2$ ラインの主走査方向解像度変換処理後の画像データ  $a_{t-2}$  および二値化方式指示データ  $z_{t-2}$  をメモリ412に格納する。

b) 1ライン周期前にDSP0から転送されメモリ412に格納されていた第 $t-3$ ラインの主走査方向解像度変換処理後の画像データ  $a_{t-3}$  に単一閾値二値化処理としての処理bを施し、処理後の画像データ  $b_{t-3}$  をメモリ412に格納する。

c) 1ライン周期前の処理結果である第 $t-4$ ラインの画像データ  $b_{t-4}$ 、2ライン周期前にDSP0転送されDSP1では使われずにメモリ412に格納されていた第 $t-4$ ラインの二値化方式指示データ  $z_{t-4}$ 、および2ライン周期前にDSP0から転送され1ライン周期前にDSP1で使用された第 $t-4$ ラインの主走査方向解像度変換処理後の画像データ  $a_{t-4}$  をDSP2へDMA転送する。

## 【0111】

なお、DSP1のメモリ412は、3ライン分の主走査方向解像度変換処理後の画像データ ( $a_{t-2}$ 、 $a_{t-3}$ 、 $a_{t-4}$ )、2ライン分の単一閾値二値化処理後の画像データ ( $b_{t-3}$ 、 $b_{t-4}$ )、3ライン分の二値化方式指示データ ( $z_{t-2}$ 、 $z_{t-3}$ 、 $z_{t-4}$ ) を格納するのに十分な空間を有している。

## 【0112】

(5) DSP2において、現ライン周期内に以下の処理を行なう。

## 【0113】

- a) DSP1から転送されてきた第 $t-4$ ラインの主走査方向解像度変換処理後の画像データ $a_{t-4}$ 、二値化方式指示データ $z_{t-4}$ 、および単一閾値二値化処理後の画像データ $b_{t-4}$ をメモリ412に格納する。
- b) 1ライン周期前にDSP1から転送されメモリ412に格納されていた第 $t-5$ ラインの主走査方向解像度変換処理後の画像データ $a_{t-5}$ に $\gamma$ 補正処理としての処理 $c$ を施し、処理後の画像データ $c_{t-5}$ をメモリ412に格納する。
- c) 1ライン周期前の処理結果である第 $t-6$ ラインの画像データ $c_{t-6}$ 、2ライン周期前にDSP1から転送されDSP3では使われずにメモリ412に格納されていた第 $t-6$ ラインの二値化方式指示データ $z_{t-6}$ および単一閾値二値化処理後の画像データ $b_{t-6}$ をDSP3へDMA転送する。

## 【0114】

なお、DSP2のメモリ412は、2ライン分の主走査方向解像度変換処理後の画像データ( $a_{t-4}$ 、 $a_{t-5}$ )、3ライン分の単一閾値二値化処理後の画像データ( $b_{t-4}$ 、 $b_{t-5}$ 、 $b_{t-6}$ )、2ライン分の $\gamma$ 補正処理後の画像データ( $c_{t-5}$ 、 $c_{t-6}$ )、3ライン分の二値化方式指示データ( $z_{t-4}$ 、 $z_{t-5}$ 、 $z_{t-6}$ )を格納するのに十分な空間を有している。

## 【0115】

(6) DSP3において、現ライン周期内に以下の処理を行なう。

## 【0116】

- a) DSP2から転送されてきた第 $t-6$ ラインの二値化方式指示データ $z_{t-6}$ 、単一閾値二値化処理後の画像データ $b_{t-6}$ 、および $\gamma$ 補正処理後の画像データ $c_{t-6}$ をメモリ412に格納する。
- b) 1ライン周期前にDSP3から転送されメモリ412に格納されていた第 $t-7$ ラインの $\gamma$ 補正処理後の画像データ $c_{t-7}$ に誤差拡散二値化処理としての処理 $d$ を施し、処理後の画像データ $d_{t-7}$ をメモリ412に格納する。この誤差拡散二値化処理においては、1ライン分の二値化誤差データを格納するた

めのメモリを必要とする。

c) 1ライン周期前の処理結果である第 $t-8$ ラインの画像データ $d_{t-8}$ 、2ライン周期前にDSP3から転送されDSP3では使われずにメモリ412に格納されていた第 $t-8$ ラインの二値化方式指示データ $z_{t-8}$  および単一閾値二値化処理後の画像データ $b_{t-8}$  をDSP4へDMA転送する。

【0117】

なお、DSP3のメモリ412は、3ライン分の単一閾値二値化処理後の画像データ( $b_{t-6}$ 、 $b_{t-7}$ 、 $b_{t-8}$ )、2ライン分の $\gamma$ 補正処理後の画像データ( $c_{t-6}$ 、 $c_{t-7}$ )、2ライン分の誤差拡散二値化処理後の画像データ( $d_{t-7}$ 、 $d_{t-8}$ )、3ライン分の二値化方式指示データ( $z_{t-6}$ 、 $z_{t-7}$ 、 $z_{t-8}$ )、および1ライン分の誤差データを格納するのに十分な空間を有している。

【0118】

(7) DSP4において、現ライン周期内に以下の処理を行なう。

【0119】

a) DSP3から転送されてきた第 $t-8$ ラインの二値化方式指示データ $z_{t-8}$ 、単一閾値二値化処理後の画像データ $b_{t-8}$  および誤差拡散二値化処理後の画像データ $d_{t-8}$  をメモリ412に格納する。

b) 1ライン周期前にDSP3から転送されメモリ412に格納されていた第 $t-9$ ラインの二値化方式指示データ $z_{t-9}$  に応じて二値画像選択処理としての処理eを施し、処理後の画像データ $e_{t-9}$  をメモリ412に格納する。具体的には、前述したように、二値化方式指示データ $z_{t-9}$  が、文字用二値化方式を示している場合は単一閾値二値化処理後の画像データ $b_{t-9}$  を、写真用二値化方式を示している場合は誤差拡散二値化処理後の画像データ $d_{t-9}$  をメモリ412に格納する。

c) 1ライン周期前の処理結果である第 $t-10$ ラインの画像データ $e_{t-10}$  をDSP5へDMA転送する。

【0120】

なお、DSP4のメモリ412は、2ライン分の単一閾値二値化処理後の画像

データ ( $b_{t-8}$ 、 $b_{t-9}$ )、2ライン分の誤差拡散二値化処理後の画像データ ( $d_{t-8}$ 、 $d_{t-9}$ )、2ライン分の二値化方式指示データ ( $z_{t-8}$ 、 $z_{t-9}$ )、2ライン分の二値画像選択処理後の画像データ ( $e_{t-9}$ 、 $e_{t-10}$ ) を格納するのに十分な空間を有している。

【0121】

(8) DSP5において、現ライン周期内に以下の処理を行なう。

【0122】

a) DSP4から転送されてきた第 $t-10$ ラインの二値画像選択処理後の画像データ  $e_{t-10}$  をメモリ412に格納する。

b) 1ライン周期前にDSP4から転送されメモリ412に格納されていた第 $t-11$ ラインの二値画像選択処理後の画像データ  $e_{t-11}$  および後述するヘッド制御用発熱量履歴データに応じてヘッド制御信号生成処理としての処理  $f$  を施し、処理後の信号  $f_{t-11}$  をメモリ412に格納する。このヘッド制御信号生成処理においては、1ライン分のヘッド制御用発熱量履歴データを格納するためのメモリを必要とする。

c) 1ライン周期前の処理結果である第 $t-12$ ラインのヘッド制御信号  $f_{t-12}$  をDSP6へDMA転送する。

【0123】

なお、DSP6のメモリ412は、2ライン分の二値画像選択処理後の画像データ ( $e_{t-10}$ 、 $e_{t-11}$ )、2ライン分のヘッド制御信号 ( $f_{t-11}$ 、 $f_{t-12}$ )、および1ライン分のヘッド制御用発熱量履歴データを格納するのに十分な空間を有している。

【0124】

(9) DSP6において、現ライン周期内に以下の処理を行なう。

【0125】

a) DSP5から転送されてきた第 $t-12$ ラインのヘッド制御信号  $f_{t-12}$  をメモリ412に格納する。

b) 1ライン周期前にDSP5から転送されDSP6では使われずにメモリ412に格納されていた第 $t-13$ ラインのヘッド制御信号  $f_{t-13}$  を製版手段5



へDMA転送する。つまり、DSP 6はデータバイパス部として機能し、DSP 6においては、処理gは実際には施されない。

【0126】

DSP 6から出力されるヘッド制御信号 $f_{t-13}$ が、現ライン周期内における図7に示すヘッド制御信号 $D_y$ となる。

【0127】

なお、DSP 6のメモリ412は、2ライン分のヘッド制御信号( $f_{t-12}$ 、 $f_{t-13}$ )を格納するのに十分な空間を有している。

【0128】

以上のようにして生成されたヘッド制御信号 $D_y$ に応じ、上記製版手段5において、マスタが製版される。さらに、この製版済みマスタを用いて、上記印刷手段6において、印刷が行われる。この結果得られる印刷物は、原稿の文字部分、写真部分それぞれに適した処理がなされたものとなる。

【0129】

次に、図2に示す画像処理部4における処理内容を変更した場合における、画像処理装置400の変更態様について説明する。

【0130】

図8(A)は、実施例2による画像処理部4の構成を示した機能ブロック図である。図8(B)は、実施例2による画像処理部4を画像処理装置400により構成した状態を示している。

【0131】

図7(A)と図8(A)の違いは、写真原稿処理部41における処理内容を変更したものであり、これに応じて、図8(B)に示すように、網点二値化処理手段20をDSP 2、データバイパス部をDSP 3にそれぞれ割り当て、処理プログラムデータを変更するようにしている。

【0132】

なお、この変更により、網点二値化処理後の画像データ $D_i$ がDSP 2による処理済データ $c$ およびDSP 3によるスルーデータとなり、DSP 3からは2ライン遅延された $z_{t-8}$ 、 $b_{t-8}$ 、 $c_{t-8}$ が出力される。

## 【0133】

これから判るように、図7(B)と図8(B)との間での変更を行なうことで、DSPモジュール410を増減させることなく、同じ回路規模で処理項目の増減を自由にすることができる。

## 【0134】

図9(A)は、実施例3による画像処理部4の構成を示した機能ブロック図である。図9(B)は、実施例3による画像処理部4を画像処理装置400により構成した状態を示している。

## 【0135】

図7(A)と図9(A)の違いは文字処理部40に細字強調処理手段16を追加したものであり、これに応じて、図9(B)に示すように、細字強調処理手段16をDSP1、単一閾値二値化処理手段11をDSP2、 $\gamma$ 補正処理手段12をDSP3、誤差拡散二値化処理手段13をDSP4、二値画像選択処理手段14をDSP5、ヘッド制御信号生成処理手段15をDSP6にそれぞれ割り当ており、処理プログラムデータの変更および追加を行なうようにしている。

## 【0136】

なお、この変更により、主走査方向解像度変換処理後の画像データDaがDSP0による処理済データa、細字強調処理後の画像データDgがDSP1による処理済データb、単一閾値二値化処理後の画像データDbがDSP2による処理済データc、 $\gamma$ 補正処理後の画像データDcがDSP3による処理済データd、誤差拡散二値化処理後の画像データDdがDSP4による処理済データe、二値画像選択処理後の画像データDfがDSP5による処理済データf、ヘッド制御信号DyがDSP6による処理済データgとなり、図9(B)に示すように、各DSPモジュール410は、所定のデータを処理に使用し、また所定のデータを出力する。

## 【0137】

図10(A)は、実施例4による画像処理部4の構成を示した機能ブロック図である。図10(B)は、実施例4による画像処理部4を画像処理装置400により構成した状態を示している。

## 【0138】

図7(A)と図10(A)の違いは、画像処理部4を、高い印刷位置精度が要求される文字原稿に対応することができるようにしたものであって、原稿傾き検出処理手段17、原稿傾き修正処理手段18、細線強調処理手段16および適応二値化処理手段19からなる文字原稿処理部40と、ヘッド制御信号生成処理手段15とから構成されたものとしている点にある。

## 【0139】

なお、原稿傾き検出処理手段17においては、イメージスキャナ1により読み込まれた文字原稿における文字列の走査方向に対する傾き角度（以下原稿傾き角度という）を検出する。また、原稿傾き修正処理手段18においては、原稿傾き検出処理手段17により検出された原稿傾き角度に応じて、イメージスキャナ1により読み込まれた画像を再サンプリングすることにより文字原稿における文字列と走査方向とが平行になるように修正する。また、イメージスキャナ1の光学系に起因するボケによる文字のつぶれやかすれを防止するために、細線強調処理手段16により極小文字などの細線を強調し、さらに適応二値化処理手段19により適応注目画素の読み取り濃度に応じて該注目画素の二値化の閾値を適応的に変更する。

## 【0140】

図7(A)に示す画像処理部4を図14(B)に示す回路で実現していた場合、図10(A)に示すように変更するためには回路基板の改版が必要となる。これに対して、本実施例4では、図10(B)に示すように、原稿傾き検出処理手段17をDSP0、原稿傾き修正処理手段18をDSP1、細線強調処理手段16をDSP2、適応二値化処理手段19をDSP3、データバイパス部をDSP4およびDSP6にそれぞれ割り当てており、処理プログラムデータの変更を行なうだけで図10(A)に示す変更に対応することができる。

## 【0141】

なお、データ変換器430への入力データは $x_t$ のみとなるが、データ変換器430Gは、二値化方式指示データ $z_t$ の全ビットが、「0」または「1」であるものとして直列データを生成し後段のDSP0に転送する。

## 【 0 1 4 2 】

この変更により、原稿傾き検出処理後の画像データD<sub>h</sub>がDSP0による処理済データa、原稿傾き修正処理後の画像データD<sub>i</sub>がDSP1による処理済データb、細線強調処理後の画像データD<sub>j</sub>がDSP2による処理済データc、適応二値化処理後の画像データD<sub>k</sub>がDSP3による処理済データd、ヘッド制御信号D<sub>y</sub>がDSP4による処理済データe、DSP5およびDSP6からのスルーデータとなり、図10(B)に示すように、各DSPモジュール410は、所定のデータを処理に使用し、また所定のデータを出力する。

## 【 0 1 4 3 】

なお、ユーザの選択に応じて、所定のDSPモジュール410に該当する処理プログラムをCPUからロードすることで、処理内容を逐次変更および追加できるようにしてもよい。この点について、図7および図8を参照して説明する。

## 【 0 1 4 4 】

操作パネル3に、ユーザが写真画像に誤差拡散二値化処理と網点二値化処理とのいずれを施すかを選択可能な選択手段を備えるものとする。この選択手段により、ユーザが所望の処理を選択した時点で、写真原稿処理部41としてのDSP2、DSP3に該当する各処理プログラムデータをCPUからロードする。具体的には、ユーザが誤差拡散二値化処理を選択した場合は、該選択の時点で、 $\gamma$ 補正処理プログラムをDSP2に、誤差拡散二値化処理プログラムをDSP3にそれぞれロードする。一方、ユーザが網点二値化処理を選択した場合は、該選択の時点で、網点二値化処理プログラムをDSP2にロードする。但し、この場合、DSP3をデータバイパス部として機能させる。

## 【 0 1 4 5 】

次に、上記構成の画像処理装置400を孔版印刷装置の画像処理部に適用する場合において、DSPモジュール410を着脱できるように構成した実施例について説明する。図11は実施例5の構成図、図12は、図11に示した構成を変形した実施例6の構成図である。

## 【 0 1 4 6 】

以下に述べる各実施例5、6は、基本的には上述した実施例1～4と同様の構

成を備えている。異なる点は、実施例 1～4 では、搭載する機能に依らず一定個数の DSP モジュール 410 を常に備える構成であるが、実施例 5 および実施例 6 では、搭載する機能に応じて必要最少個数の DSP モジュール 410 のみを備える構成であるという点である。以下、この点について、ユーザが最初は図 13 に示す文字原稿処理の機能のみを搭載し、後々、図 8 (A)、さらに図 9 (A) に示すように機能追加するものとして説明する。

## 【0147】

図 11 に示す実施例 5 においては、

- A) 追加機能により最大で 7 個の DSP モジュール 410 が必要となること、
- B) 機能の追加に依らず、初段の主走査方向解像度変換処理手段 10 および最後段のヘッド制御信号生成処理手段 15 が共通であること、
- C) 共通部を除く処理を割り当てるために必要な DSP モジュール 410 の個数が最低で 1 個でありこの部分には切替器を必要とせず、機能追加により、単一閾値二値化処理手段 11 とヘッド制御信号生成処理手段 15 との間に最大 4 個の手段を割り当てるための DSP モジュール 410 が必要であることから、図 11 に示すように、以下のような回路構成を採用している。

## 【0148】

- a) 最大で 7 個の DSP モジュール 410 をカスケード接続できる、
- b) 機能追加の前後で共通の処理である、主走査方向解像度変換処理手段 10 を DSP 0 に、ヘッド制御信号生成処理手段 15 を DSP 6 に割り当てると共に、共通部を除く処理の 1 つ分を割り当てる DSP モジュール 410 を DSP 1 とする、
- c) DSP 2～DSP 5 をソケット（或いはコネクタ）により着脱できる、
- d) DSP 2～DSP 5 それぞれにおいて、前段からのデータを該 DSP モジュール 410 に入力するか該 DSP モジュール 410 を飛び越して後段の DSP モジュール 410 に転送するかを切替可能な切替器として、DSP 2～DSP 5 のそれぞれと並列にショート端子 J 2～J 5 を設ける。

## 【0149】

図 11 に示した構成において、図 13 に示す文字原稿処理のみを搭載するため

、単一閾値二値化処理手段 1 1 を DSP 1 に割り当てる。また、ショート端子 J 2 ～ J 5 を全てショートさせ、3 段目～6 段目の DSP モジュール 4 1 0 ( DSP 2 ～ DSP 5 ) を取り外しておく。これにより、DSP 1 から出力されたデータが DSP 2 ～ DSP 5 の部分を飛び越して DSP 6 に入力されるようになる。

#### 【 0 1 5 0 】

この図 1 3 に示した構成を元に、図 8 に示すように機能追加する場合には、3、4 段目に DSP モジュール 4 1 0 を装着し、網点二値化処理手段 2 0 を DSP 2、二値画像選択処理手段 1 4 を DSP 3 にそれぞれ割り当てる。また、ショート端子 J 2、J 3 の接続を解除する。これにより、DSP 3 から出力されたデータが DSP 4、DSP 5 の部分を飛び越して DSP 6 に入力されるようになる。

#### 【 0 1 5 1 】

さらに、図 9 に示すように機能追加する場合には、5、6 段目にも DSP モジュール 4 1 0 を装着し、細字強調処理手段 1 6 を DSP 1、単一閾値二値化処理手段 1 1 を DSP 2、 $\gamma$  補正処理手段 1 2 を DSP 3、誤差拡散二値化処理手段 1 3 を DSP 4、二値画像選択処理手段 1 4 を DSP 6 にそれぞれ割り当てる。また、ショート端子 J 4、J 5 の接続を解除する。これにより、7 個の全 DSP モジュール 4 1 0 がカスケード接続される。

#### 【 0 1 5 2 】

一方、図 1 2 に示す実施例 6 においては、

- A) 追加機能により最大で 7 個の DSP モジュール 4 1 0 が必要となること、
- B) 機能の追加に依らず、初段の主走査方向解像度変換処理手段 1 0 および最後段のヘッド制御信号生成処理手段 1 5 に加え、単一閾値二値化処理手段 1 1 が共通であること、
- C) 機能追加により、初段の主走査方向解像度変換処理手段 1 0 と単一閾値二値化処理手段 1 1 との間に最大 1 個、単一閾値二値化処理手段 1 1 とヘッド制御信号生成処理手段 1 5 との間に最大 3 個の手段を割り当てるための DSP モジュール 4 1 0 が必要であることから、図 1 2 に示すように、以下のような回路構成を採用している。

#### 【 0 1 5 3 】

- a) 最大で7個のDSPモジュール410をカスケード接続できる、
- b) 機能の追加前後で共通の処理である、主走査方向解像度変換処理手段10をDSP0に、単一閾値二値化処理手段11をDSP2に、ヘッド制御信号生成処理手段15をDSP6にそれぞれ割り当ててる、
- c) DSP1, DSP3~DSP5をソケット（或いはコネクタ）により着脱できる、
- d) DSP1, DSP3~DSP5それぞれにおいて、前段からのデータを該DSPモジュール410に入力するか該DSPモジュール410を飛び越して後段のDSPモジュール410に転送するかを切替可能な切替器として、DSP1, DSP3~DSP5のそれぞれと並列にショート端子J1, J3~J5を設ける。

## 【0154】

図12に示した構成において、図13に示す文字原稿処理のみを搭載するため、ショート端子J1, J3~J5を全てショートさせ、2段目、4段目~6段目のDSPモジュール410（DSP1, DSP3~DSP5）を取り外しておく。これにより、DSP0から出力されたデータがDSP1の部分を飛び越してDSP2に入力され、DSP2から出力されたデータがDSP3~DSP5の部分を飛び越してDSP6に入力されるようになる。

## 【0155】

図13に示した構成を元に、図8に示すように機能追加する場合には、4, 6段目にDSPモジュール410を装着し、網点二値化処理手段20をDSP3、二値画像選択処理手段14をDSP5にそれぞれ割り当ててる。また、ショート端子J3, J5の接続を解除する。これにより、DSP0から出力されたデータがDSP1の部分を飛び越してDSP2に入力され、DSP3から出力されたデータがDSP4の部分を飛び越してDSP5に入力され、DSP5から出力されたデータがDSP6に入力されるようになる。

## 【0156】

さらに、図9に示すように機能追加する場合には、2, 5段目にもDSPモジュール410を装着し、細字強調処理手段16をDSP1、 $\gamma$ 補正処理手段12

をDSP3、誤差拡散二値化処理手段13をDSP4にそれぞれ割り当てる。また、ショート端子J1、J4の接続を解除する。これにより、7個の全DSPモジュールがカスケード接続される。

#### 【0157】

以上のように、図11に示した構成の実施例5および図12に示した構成の実施例6においては、一部のDSPモジュール410を着脱できるように構成するとともに、この着脱可能に構成されたDSPモジュール410に前段からのデータを入力するか飛び越させて後段に転送するかを切替可能な切替器を設けることで、実施例1～4のように機能追加により必要となる最大個数だけのDSPモジュールを常に備えておくという必要性を生じないようにしている。よって、装置購入当初とは機能追加の予定が変わった場合に、装置の持つ機能に対して過剰なDSPモジュール410を備えた高価な装置となってしまう虞れがない。

#### 【0158】

なお、ユーザが装置購入当初には考えていなかった機能追加に対応するべく、図7(A)に示したように、全DSPモジュール410を着脱できる構成とするとともに、各DSPモジュール410に前段からのデータを入力するか飛び越して後段に転送するかを切替可能な切替器を設けてもよい。

#### 【0159】

以上、本発明の好ましい実施の形態について説明したが、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨を逸脱しない限りにおいて、種々の変更を行なうことが可能である。例えば上記実施の形態では、所定周期ごとに、未処理データや処理済データのメモリへの格納と、未処理データや処理済データのメモリからの読出しおよび出力ポートからの出力を行なうことで、パイプライン処理を遅滞なくするようにしたものであるが、これに限らず、画像の大きさや形に応じて、パイプライン処理の周期を時間的に変化させることもできるし、それぞれ処理の都合に合わせ、DSPモジュールごとに周期を変えることもできる。

#### 【図面の簡単な説明】

#### 【図1】



本発明の一実施の形態による画像処理装置の構成を示すブロック図

【図 2】

DSP モジュールの詳細を示したブロック図

【図 3】

処理 1 と処理 2 の処理を並列に行なうようにする対応を示した図

【図 4】

処理 1 に、処理 2 と処理 3 とを直列化したものを並列に行なうようにする対応を示した図

【図 5】

データ容量 V およびデータ転送ポート幅 B と、データ転送クロック CLK0 との関係を示す図

【図 6】

本発明に係る画像処理装置を孔版印刷装置の画像処理部に適用した場合における、孔版印刷装置の概略構成図

【図 7】

実施例 1 による画像処理部の構成を示した機能ブロック図 (A)、この画像処理部を本発明に係る画像処理装置により構成した状態を示した図 (B)

【図 8】

実施例 2 による画像処理部の構成を示した機能ブロック図 (A)、この画像処理部を本発明に係る画像処理装置により構成した状態を示した図 (B)

【図 9】

実施例 3 による画像処理部の構成を示した機能ブロック図 (A)、この画像処理部を本発明に係る画像処理装置により構成した状態を示した図 (B)

【図 10】

実施例 4 による画像処理部の構成を示した機能ブロック図 (A)、この画像処理部を本発明に係る画像処理装置により構成した状態を示した図 (B)

【図 11】

DSP モジュールを着脱できるように構成した実施例 5 の構成図

【図 12】

図 1 1 に示した構成を変形した実施例 6 の構成図

【図 1 3】

実施例 5, 6 に適用する、画像処理部の基本構成を示した機能ブロック図

【図 1 4】

従来の画像処理装置における画像処理部を実現する回路の構成を説明する図であって、機能ブロック図 (A) および DSP モジュールで構成したブロック図 (B)

【符号の説明】

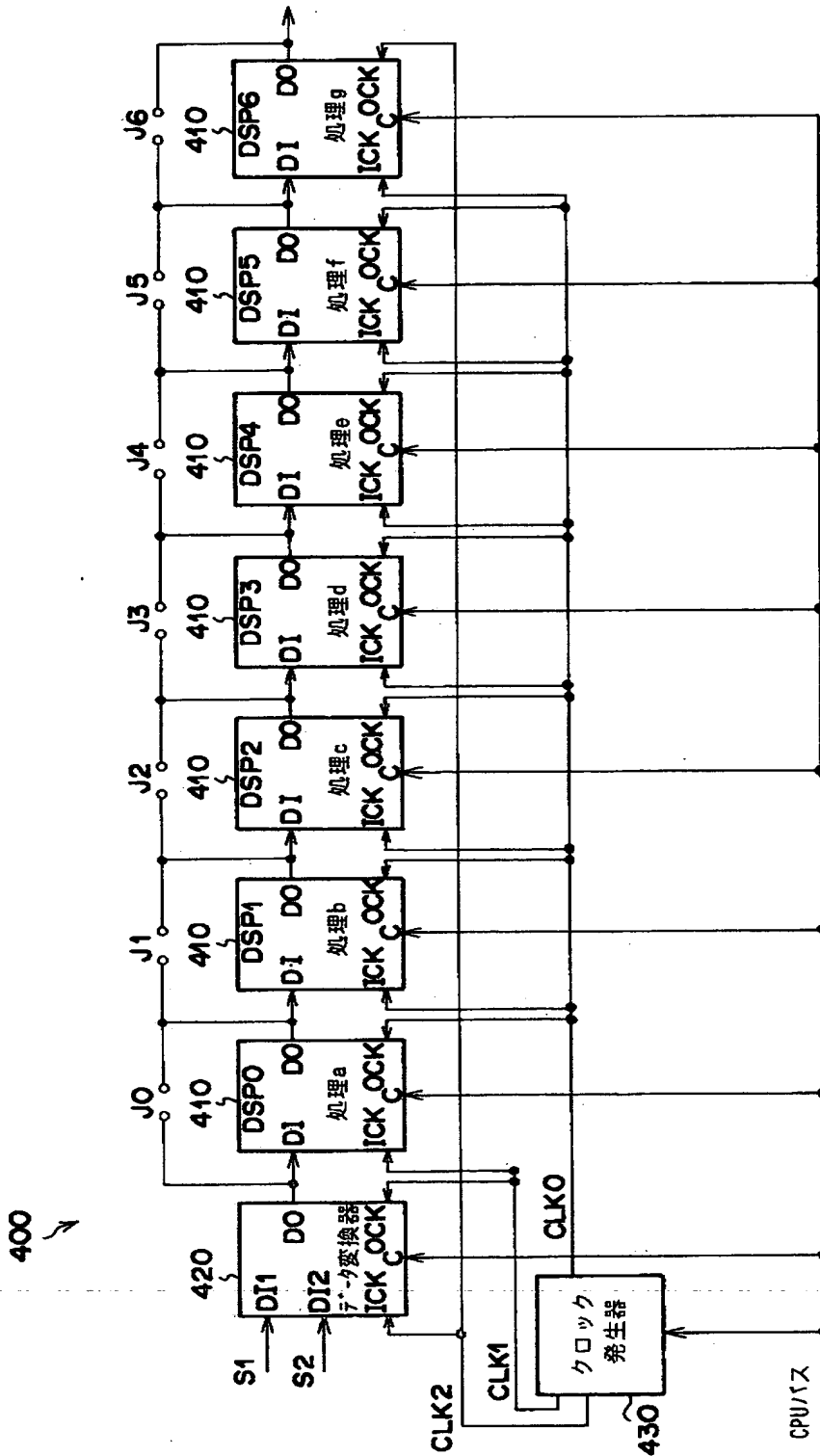
- |       |                 |
|-------|-----------------|
| 1     | イメージスキャナ        |
| 2     | 編集ボード           |
| 3     | 操作パネル           |
| 4     | 画像処理部           |
| 5     | 製版手段            |
| 6     | 印刷手段            |
| 1 0   | 主走査方向解像度変換処理手段  |
| 1 1   | 単一閾値二値化処理手段     |
| 1 2   | $\gamma$ 補正処理手段 |
| 1 3   | 誤差拡散二値化処理手段     |
| 1 4   | 二値画像選択処理手段      |
| 1 5   | ヘッド制御信号生成処理手段   |
| 1 6   | 細字強調処理手段        |
| 1 7   | 原稿傾き検出処理手段      |
| 1 8   | 原稿傾き修正処理手段      |
| 1 9   | 適応二値化処理手段       |
| 2 0   | 網点二値化処理手段       |
| 4 0   | 文字原稿処理部         |
| 4 1   | 写真原稿処理部         |
| 4 0 0 | 画像処理装置          |
| 4 1 0 | DSP モジュール       |

- 4 1 1 シグナルプロセッサ部
- 4 1 2 メモリ
- 4 1 3 アービタ
- 4 1 4 入力F I F O (入力ポート)
- 4 1 5 出力F I F O (出力ポート)
- 4 1 6 入力DMAコントローラ
- 4 1 7 出力DMAコントローラ
- 4 2 0 データ変換器
- 4 3 0 クロック発生器 (同期手段)

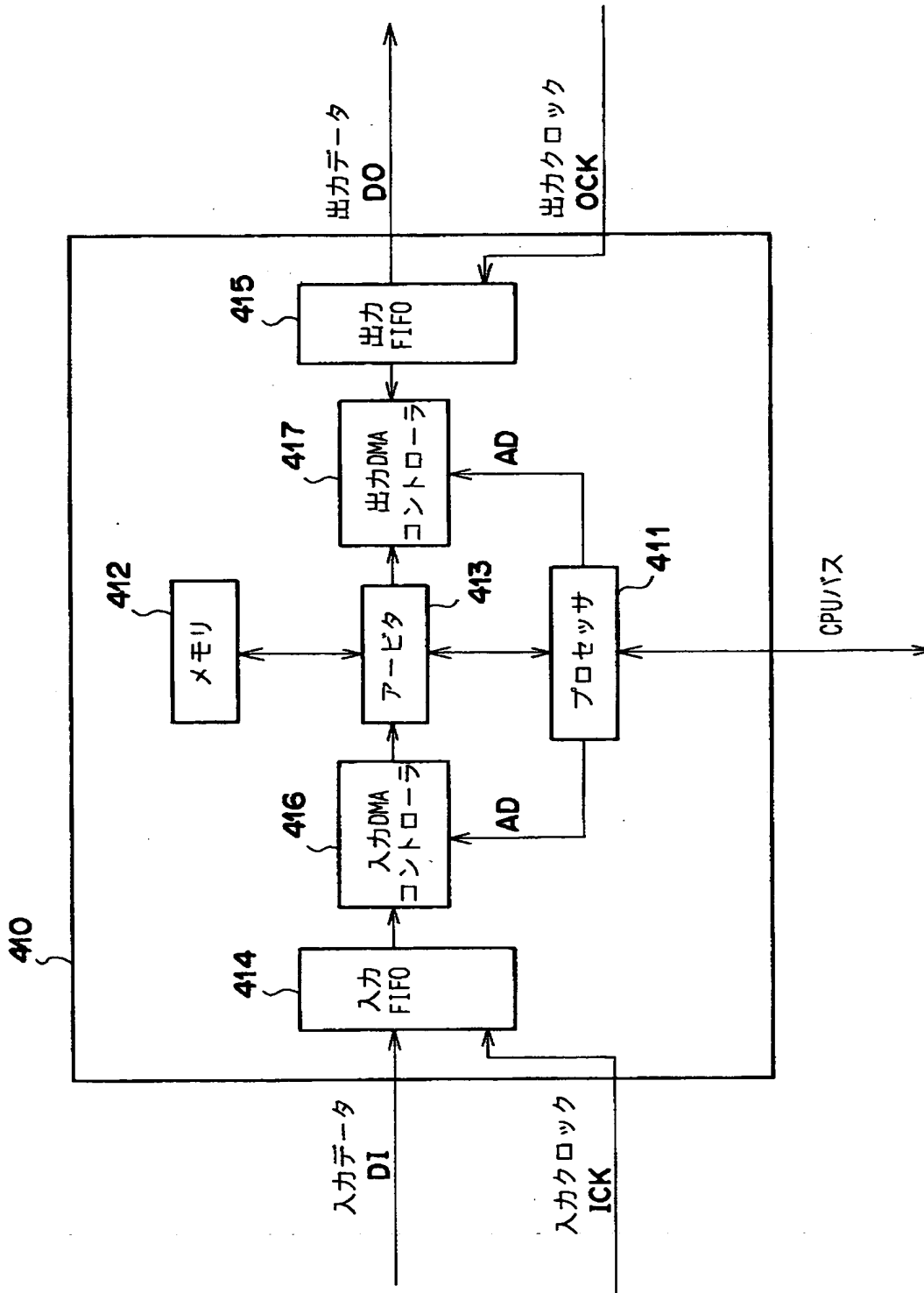
【書類名】

図面

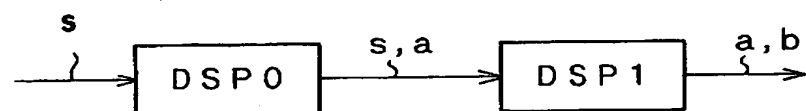
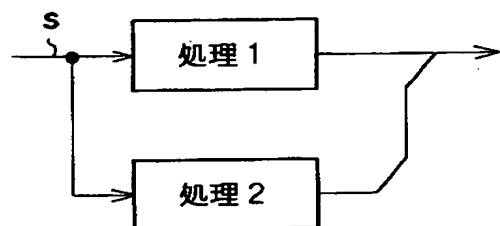
【図 1】



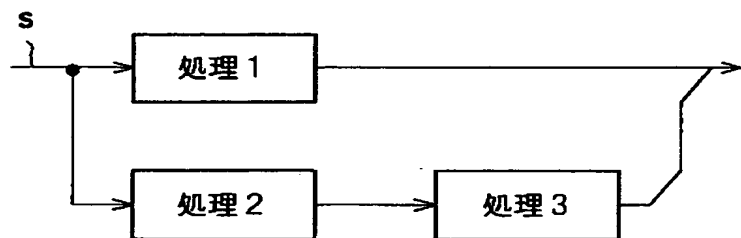
【図2】



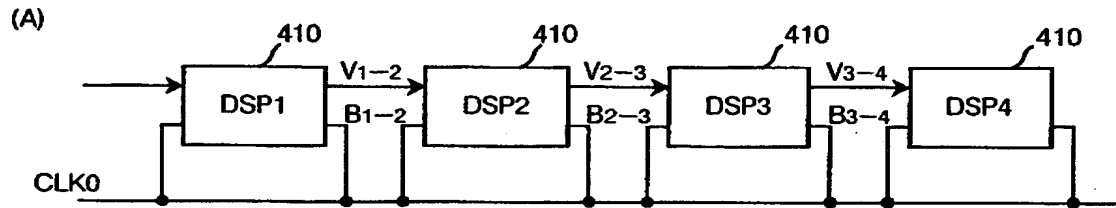
【图3】



【图4】



【図 5】



(B)

	DSP1 → DSP2	DSP2 → DSP3	DSP3 → DSP4
V	70 ⇒ 90	110 ⇒ 132	120 ⇒ 128
B	4	6	8
V/B	17.5 ⇒ <u>22.5</u>	<u>18.3</u> ⇒ 22	15.0 ⇒ 16.0

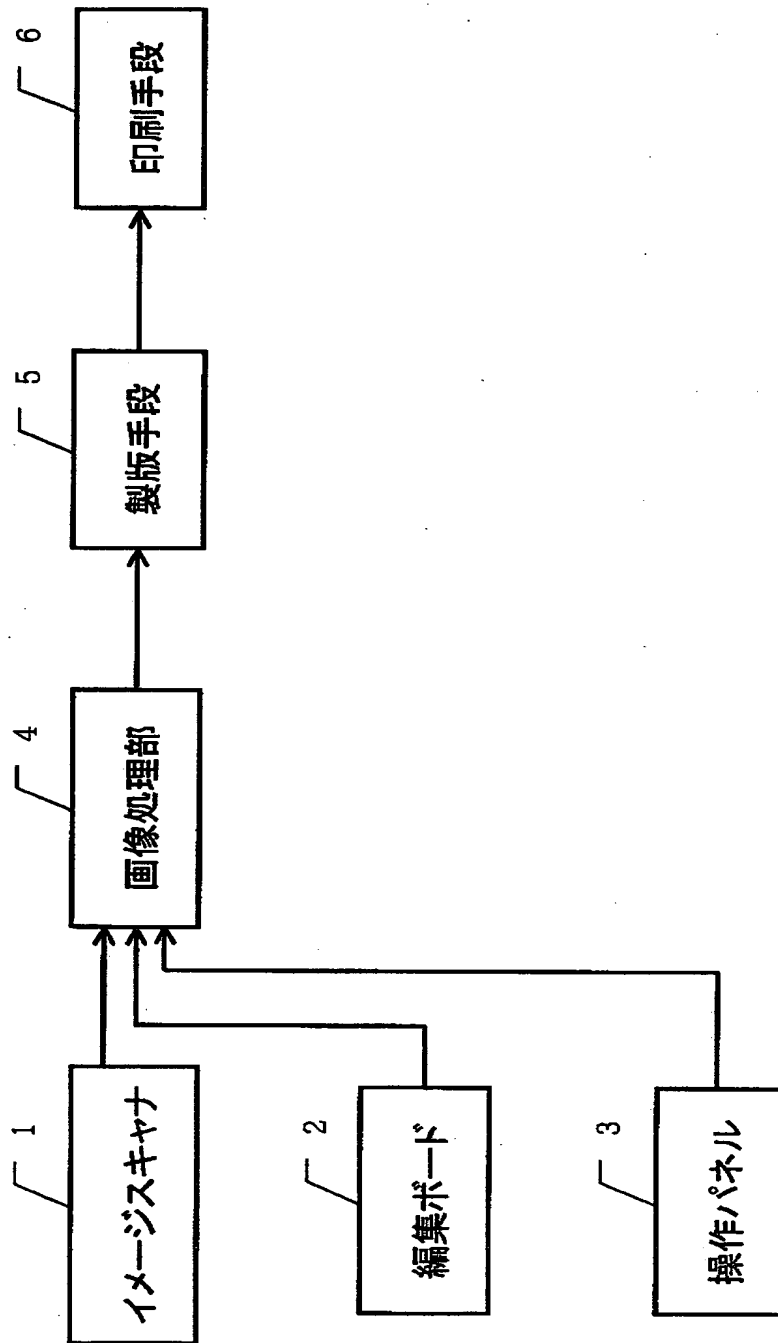
⇒データ容量変更後

(C)

	DSP1 → DSP2	DSP2 → DSP3	DSP3 → DSP4
V	70 ⇒ 90	110 ⇒ <u>132</u>	<u>120</u> ⇒ 128
B	8	8	8
V/B	8.75 ⇒ 11.25	13.75 ⇒ <u>16.5</u>	<u>15.0</u> ⇒ 16.0

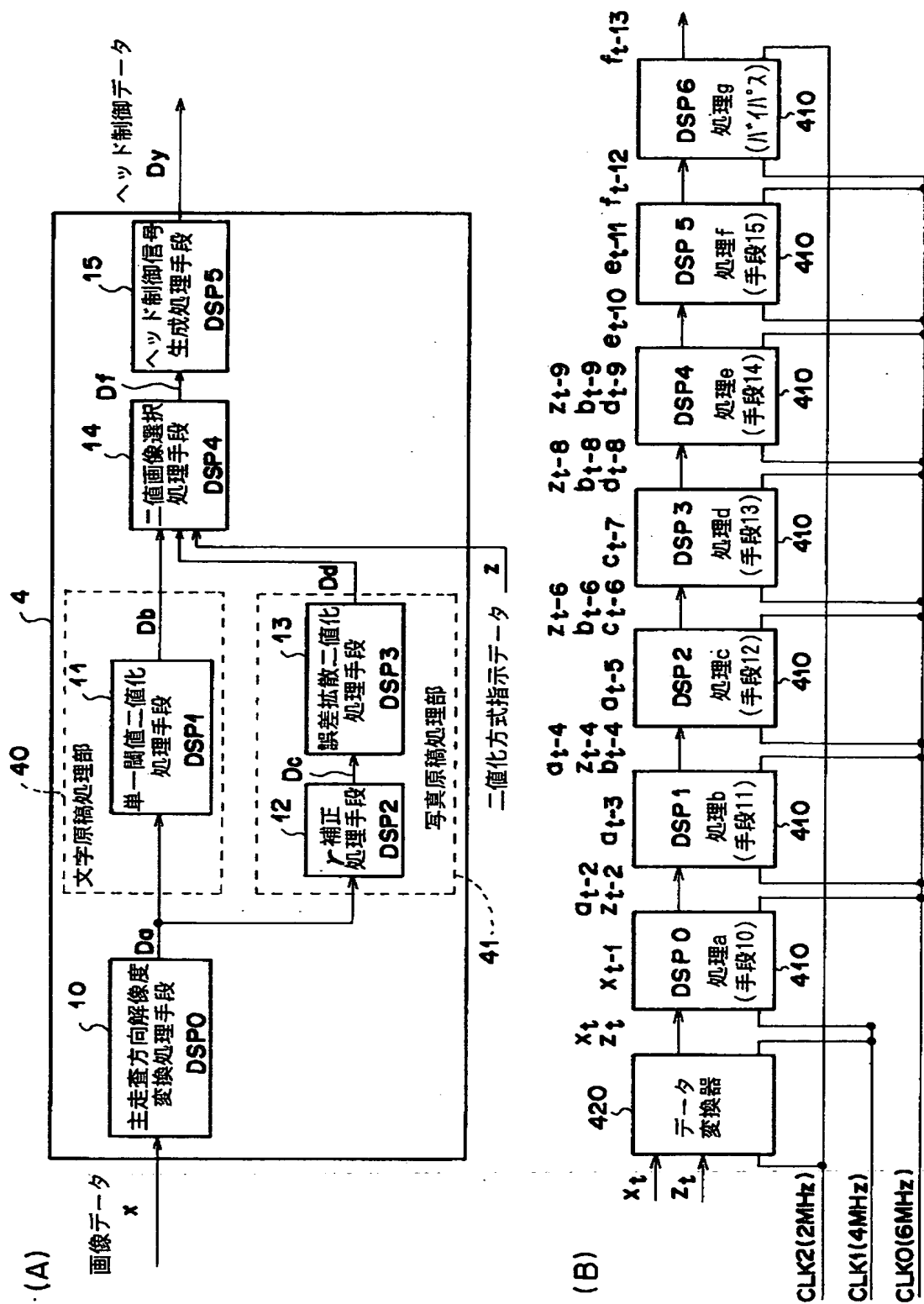
⇒データ容量変更後

【図6】

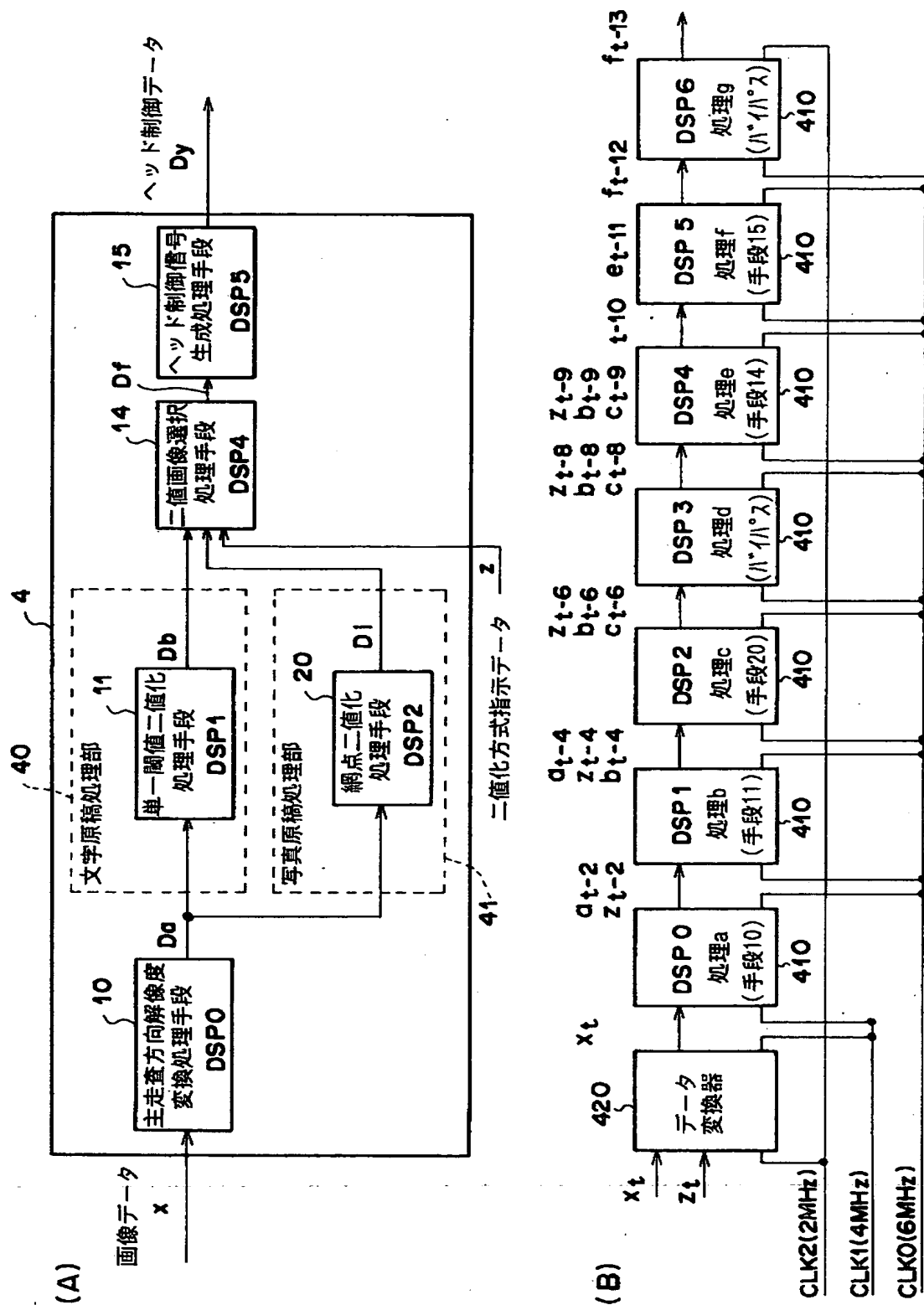




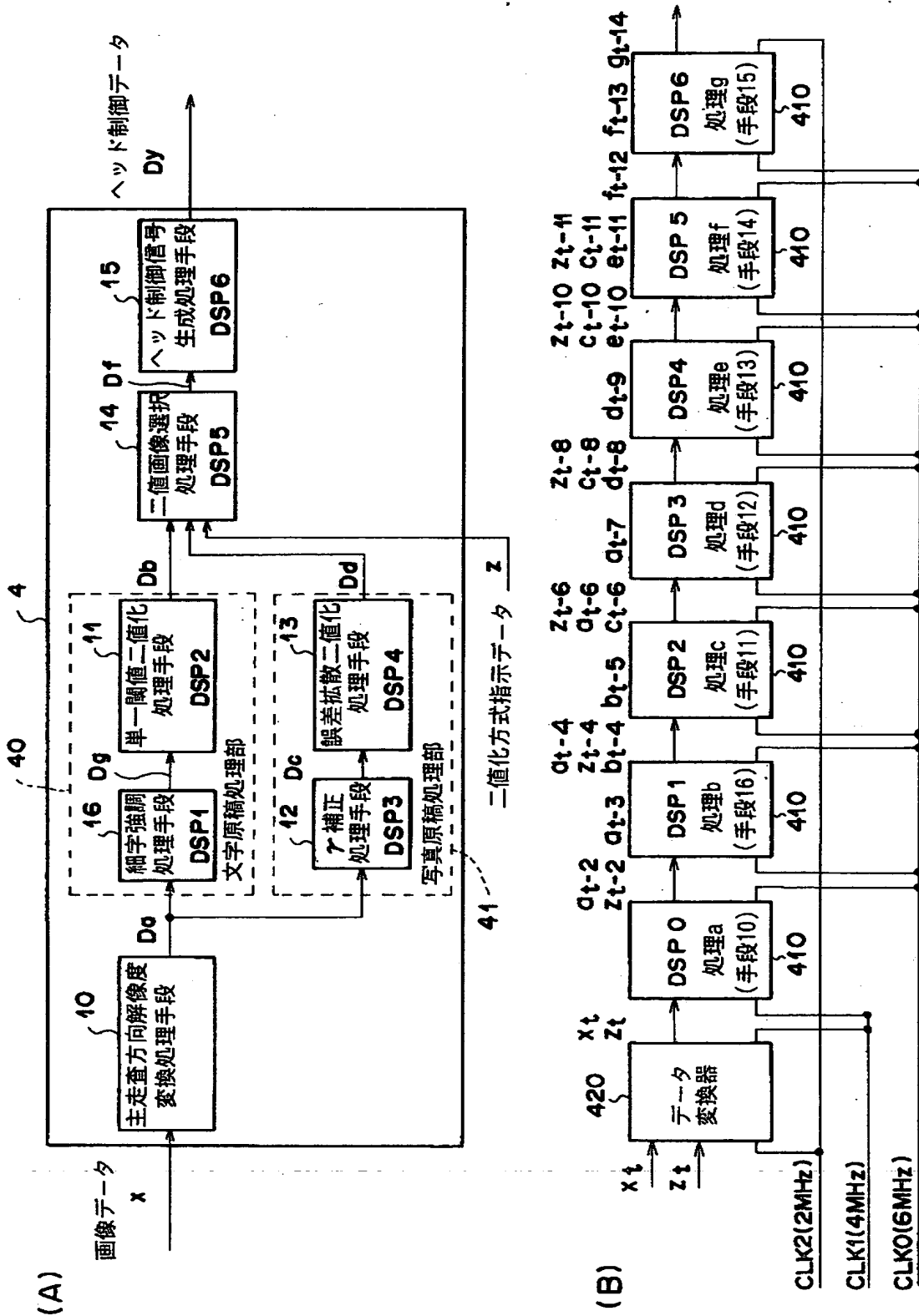
【図 7】



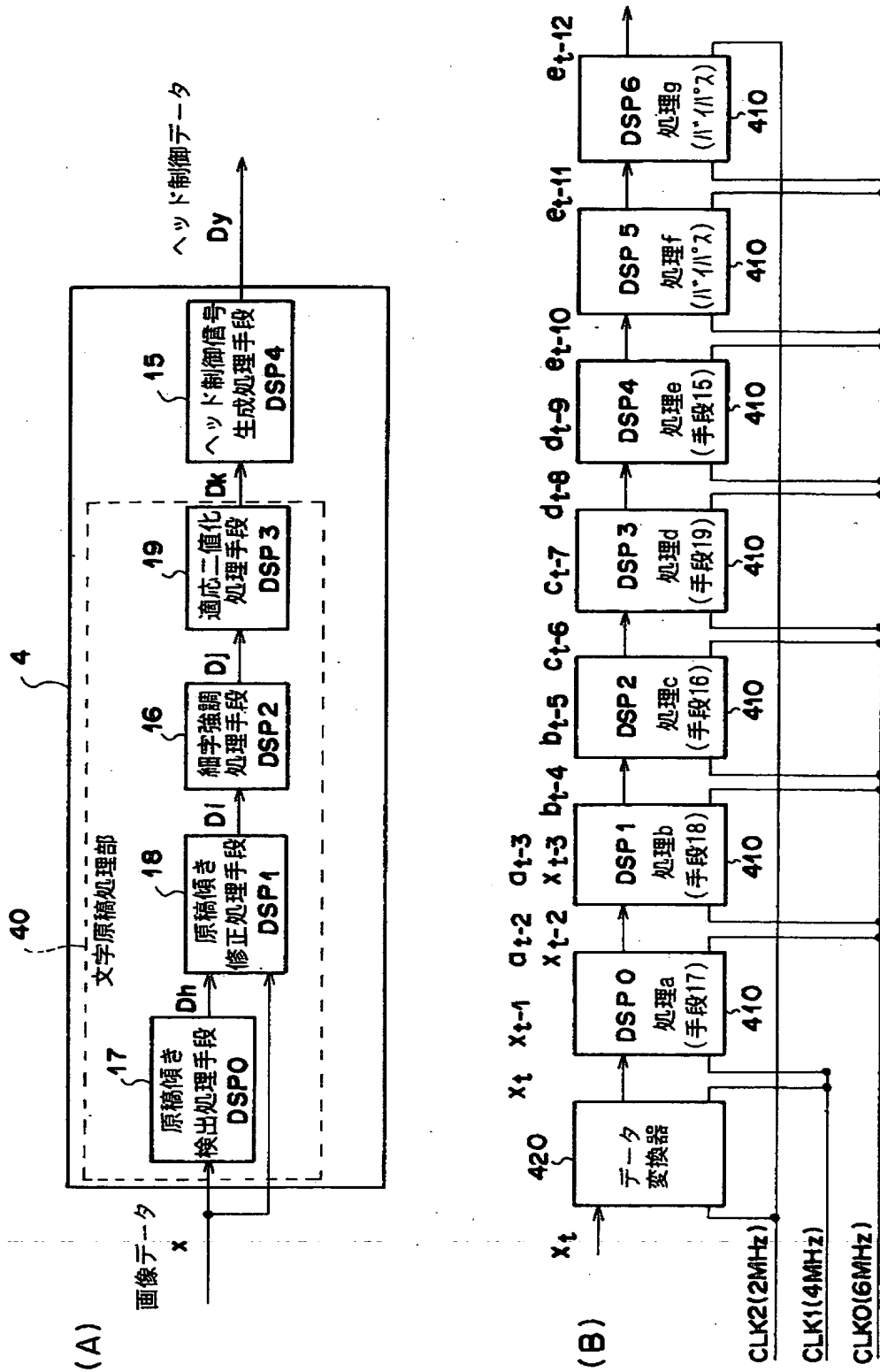
【図 8】



【図 9】

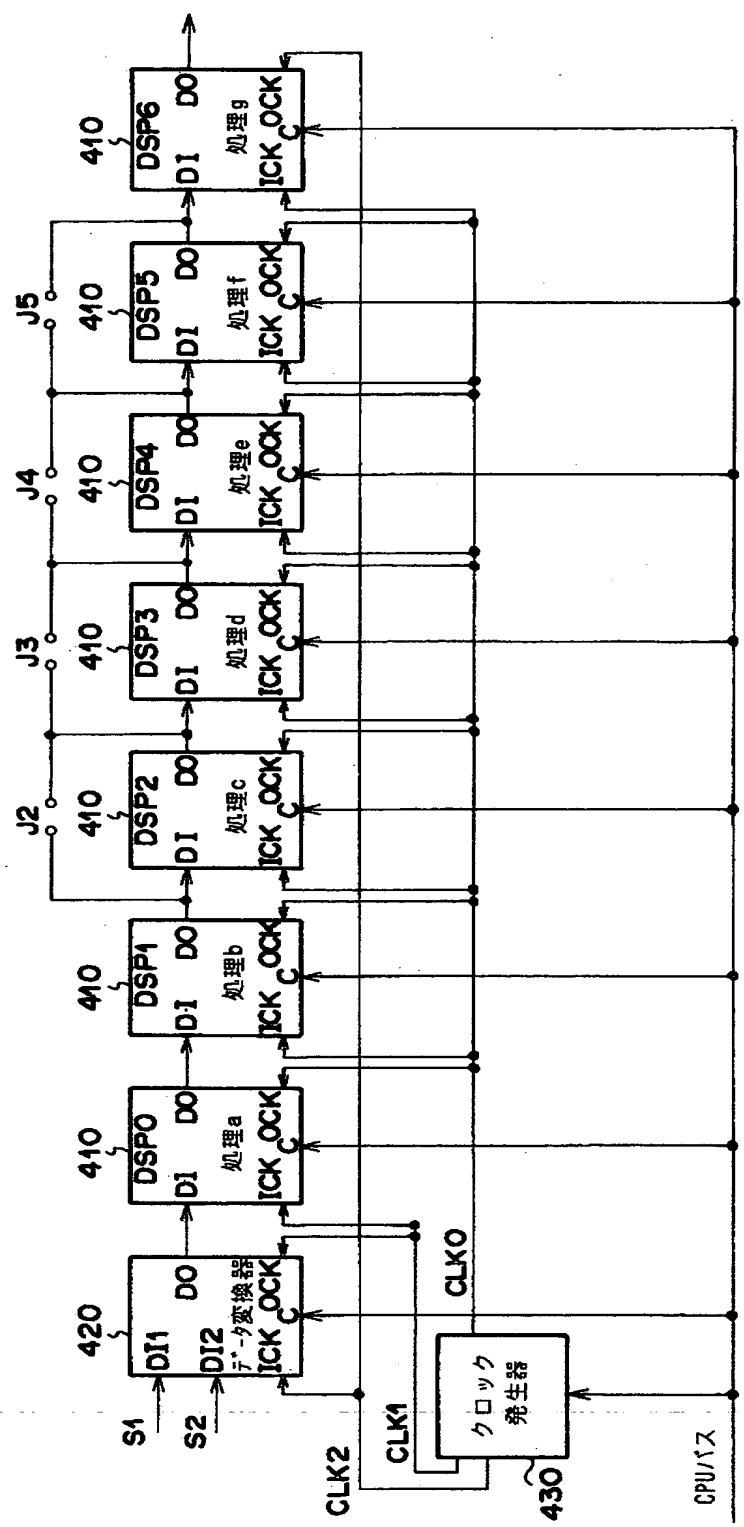


【図10】

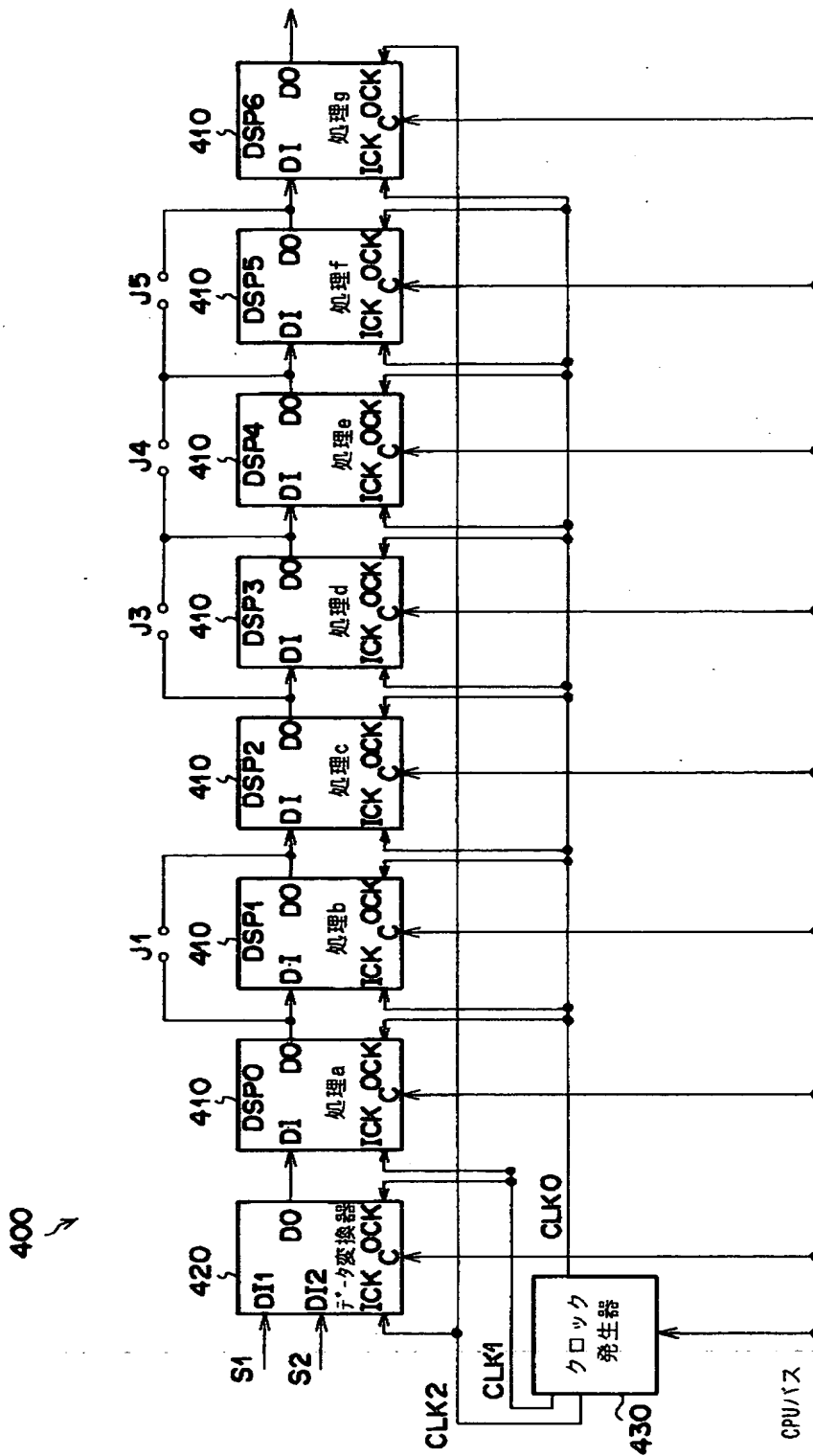


【図11】

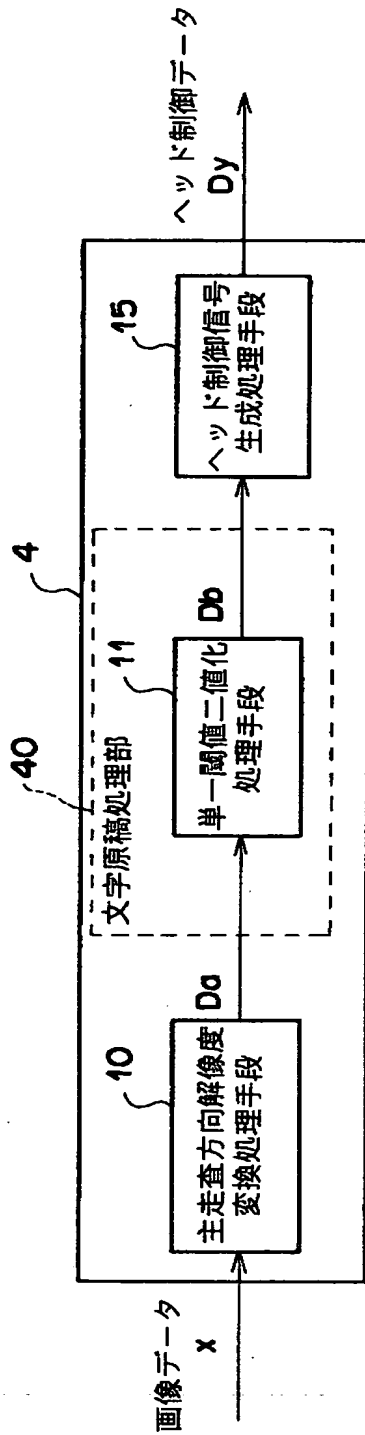
400



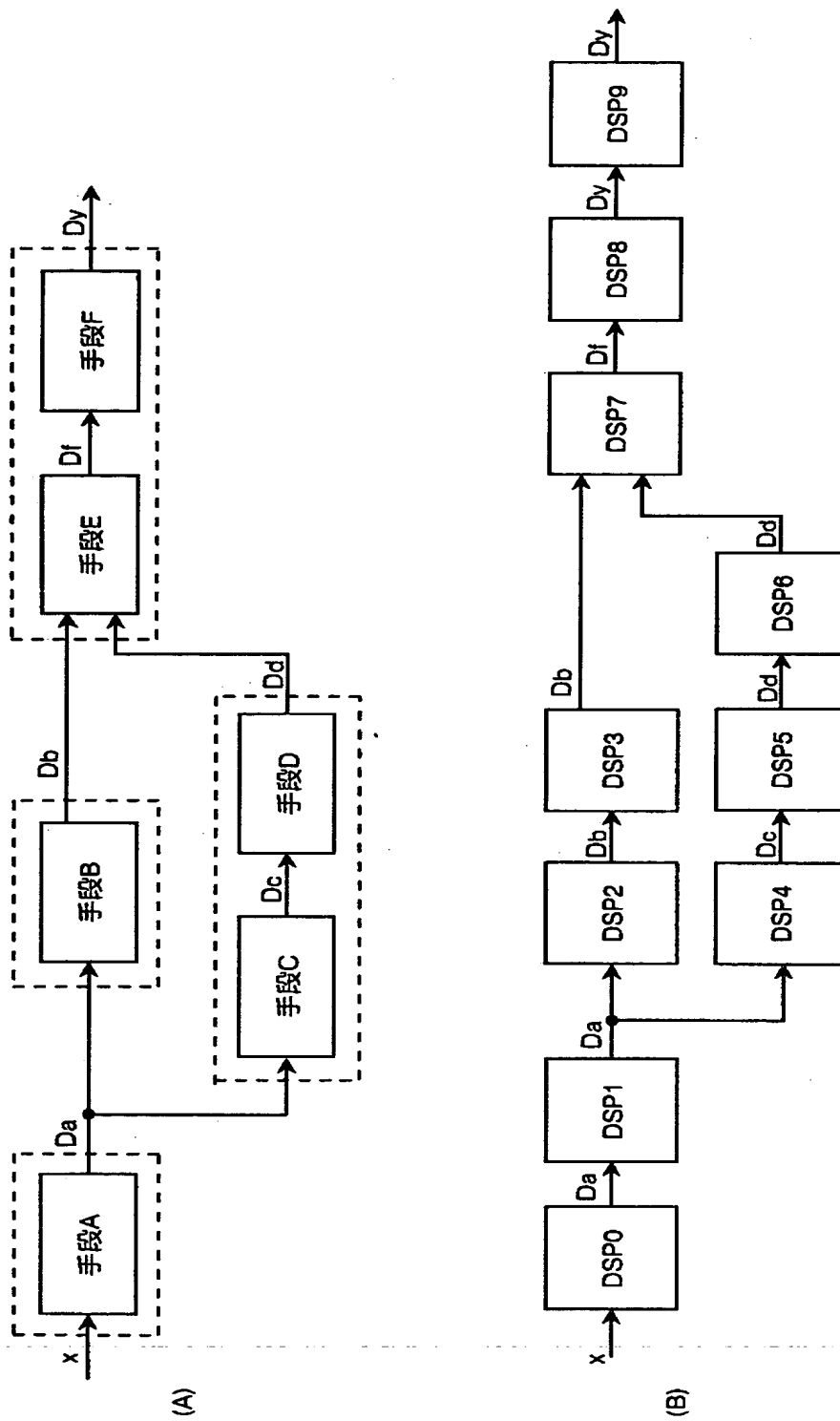
【図 12】



【図 13】



【図 14】





【書類名】

要約書

【要約】

【課題】 2 個以上の DSP モジュールを直列接続して構成された画像処理装置において、並列処理の追加にも容易に対応できるようにする。

【解決手段】 第 1 段の DSP 0 を入力されたデータに対し処理を施して得られた処理済データと何の処理も施さない未処理データとを出力するもの、第 2 段の DSP 1 を入力されたデータに対してプログラムデータにしたがって処理を施し処理済データを出力するものとする。入力された未処理データ s と処理 a が施された処理済データ a が DSP 0 から出力され、未処理データ s と処理済データ a が DSP 1 に入力される。未処理データ s に対して処理 b を施して、処理済データ b と共に処理済データ a を DSP 1 から出力する。これにより、未処理データ s に対して処理 a（処理 1）と処理 b（処理 2）とを、それぞれ独立且つ並列に施した処理済データ a, b を DSP 1 の出力ポートから得ることができる。

【選択図】

図 3

認定・付加情報

特許出願の番号	特願 2000-097251
受付番号	50000406455
書類名	特許願
担当官	第七担当上席 0096
作成日	平成12年 4月 3日

<認定情報・付加情報>

【提出日】	平成12年 3月31日
【特許出願人】	
【識別番号】	000250502
【住所又は居所】	東京都港区新橋2丁目20番15号
【氏名又は名称】	理想科学工業株式会社
【代理人】	申請人
【識別番号】	100073184
【住所又は居所】	神奈川県横浜市港北区新横浜3-18-20 B ENEX S-1 7階 柳田国際特許事務所
【氏名又は名称】	柳田 征史
【選任した代理人】	
【識別番号】	100090468
【住所又は居所】	神奈川県横浜市港北区新横浜3-18-20 B ENEX S-1 7階 柳田国際特許事務所
【氏名又は名称】	佐久間 剛

出 願 人 履 歷 情 報

識別番号 [000250502]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 東京都港区新橋2丁目20番15号  
氏 名 理想科学工業株式会社